

高速度速パルスジェネレータ L S I

X3201

ユーザーズマニュアル

1. X3201の概要	1
1-1 はじめに	1
1-2 特長	1
1-3 ブロック図	2
1-4 仕様一覧	3
1-5 パッケージ寸法	4
1-6 ピン配置及び端子説明	5
1-7 システムの構成	8
1-8 CPUとのインターフェース例	9
2. アドレス割付とデータのリード・ライト	10
2-1 アドレス割付表	10
3. コマンドの種類と機能	11
3-1 コマンドのライト	11
3-2 コマンド一覧	11
4. 各種レジスタと内部カウンタについて	16
4-1 レジスタとカウンタの一覧	16
4-2 レジスタとカウンタのリード・ライト	17
5. パルス出力に関する各パラメータについて	18
5-1 パラメータの種類	18
5-2 パラメータの計算式	19
6. 初期設定レジスタ	20
6-1 各初期設定レジスタの機能	20
7. 制御モードレジスタについて	24
7-1 各制御モードレジスタの機能	24
8. 割り込み機能について	26
8-1 各割り込みマスクレジスタ	26
8-2 各割り込みフラグレジスタ	27
9. ステータスレジスタについて	28
9-1 主ステータス	28
9-2 補助ステータス	29
10. アプリケーション例	32
10-1 初期設定	32
10-2 制御モード設定	34
10-3 パラメータの設定	34
10-4 インデックス駆動	37
10-5 原点復帰動作	38
10-6 カウンタのリード	41
11. 電気的特性	42
11-1 絶対最大定格 (V _{SS} =0V)	42
11-2 推奨動作条件 (V _{SS} =0V)	42
11-3 DC特性 (V _{DD} =5V ± 5%、T _a =0 ~ +70)	42
11-4 スイッチング特性	43

1. X3201 の概要

1-1 はじめに

X3201 はパルス列入力型サーボモータ及びステッピングモータの速度制御と位置決め制御を目的とするパルス発生LSIです。

内部構成は、直線加減速パルス発生器、台形または三角駆動の自動減速点算出器、現在位置カウンタや偏差カウンタとして使用できるマルチカウンタとエンコーダ入力の2相クロックコンバータ、原点復帰センサインターフェース、リミットセンサインターフェース、サーボドライバインターフェース、8ビット汎用入力と8ビット汎用出力を備えています。

ホストCPUとのインターフェースが用意されていますので周辺LSIとして使用できます。

1-2 特長

CPUインターフェース

対象マイコン	80系、68系など
アドレス占有域	3ビット(8バイト)
データビット幅	8ビット

駆動命令

インデックス駆動
連続パルス駆動
原点復帰駆動
センサ位置決め駆動

駆動モード

加減速モード	直線
減速開始点	自動算出、マニュアル設定、オフセット設定
同期モード	同期スタート

エンコーダカウンタ

カウンタ数	1本
ビット長	24ビット
カウント入力	内部パルス単独、外部入力パルス単独、内部パルスと外部入力パルス、外部入力パルスと外部入力パルス
カウント形式	絶対値形式、2の補数形式

エンコーダコンバータ入力

チャンネル数	2チャンネル
入力形態	2クロック、90°位相差2相クロック
逡倍	1逡倍、2逡倍、4逡倍

I/O

入力	8点
出力	8点

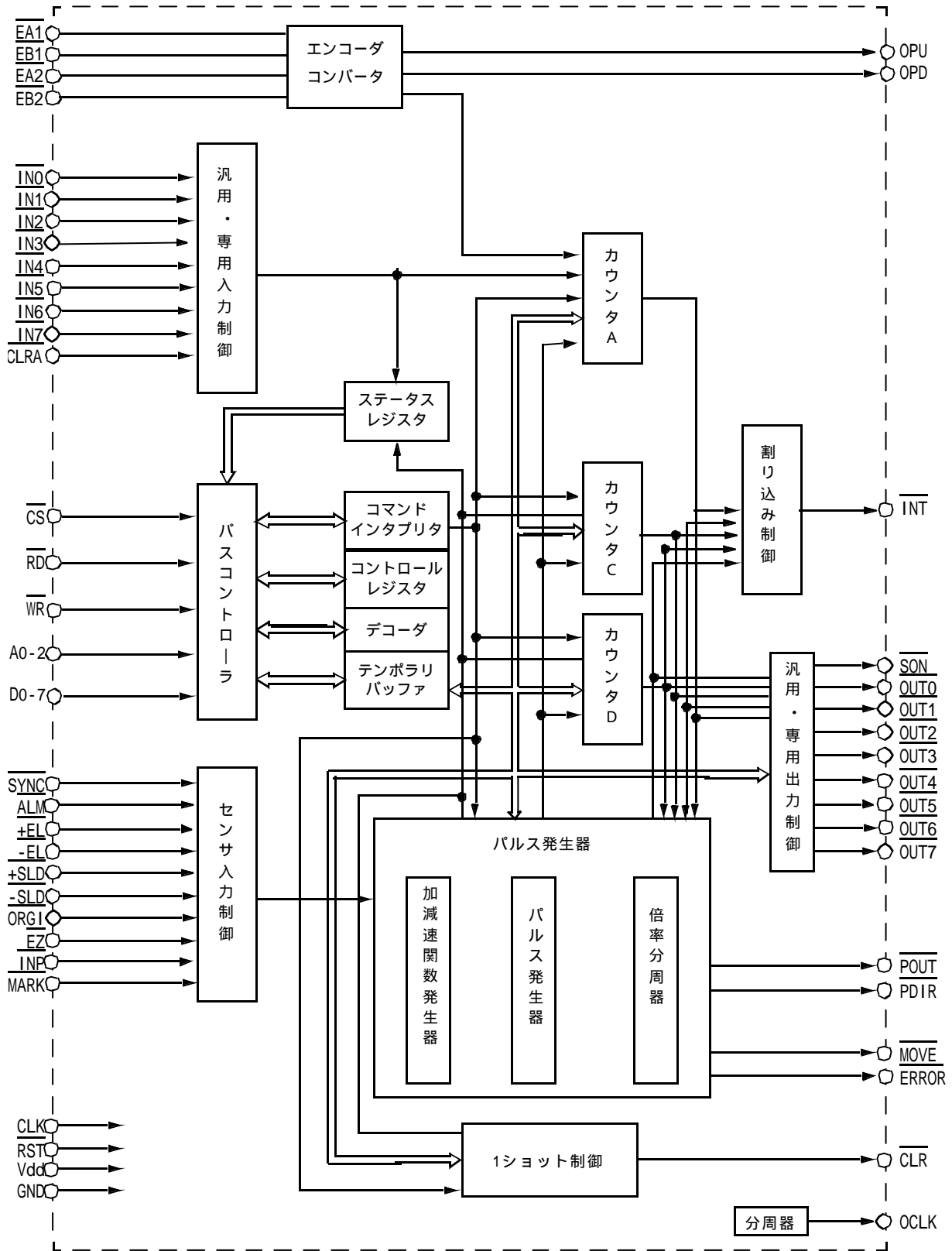
その他

加速、減速別設定機能
タイマ機能
入力フィルタ機能
割り込み機能
入出力論理切り替え
各種ステータス機能

クロック	16.384MHz (MAX)
テクノロジー	CMOS、5V単一電源
動作温度範囲	0 ~ 70
パッケージ	80pin QFP 14 × 20 (mm)

1-3 ブロック図

図 1-1: ブロック図



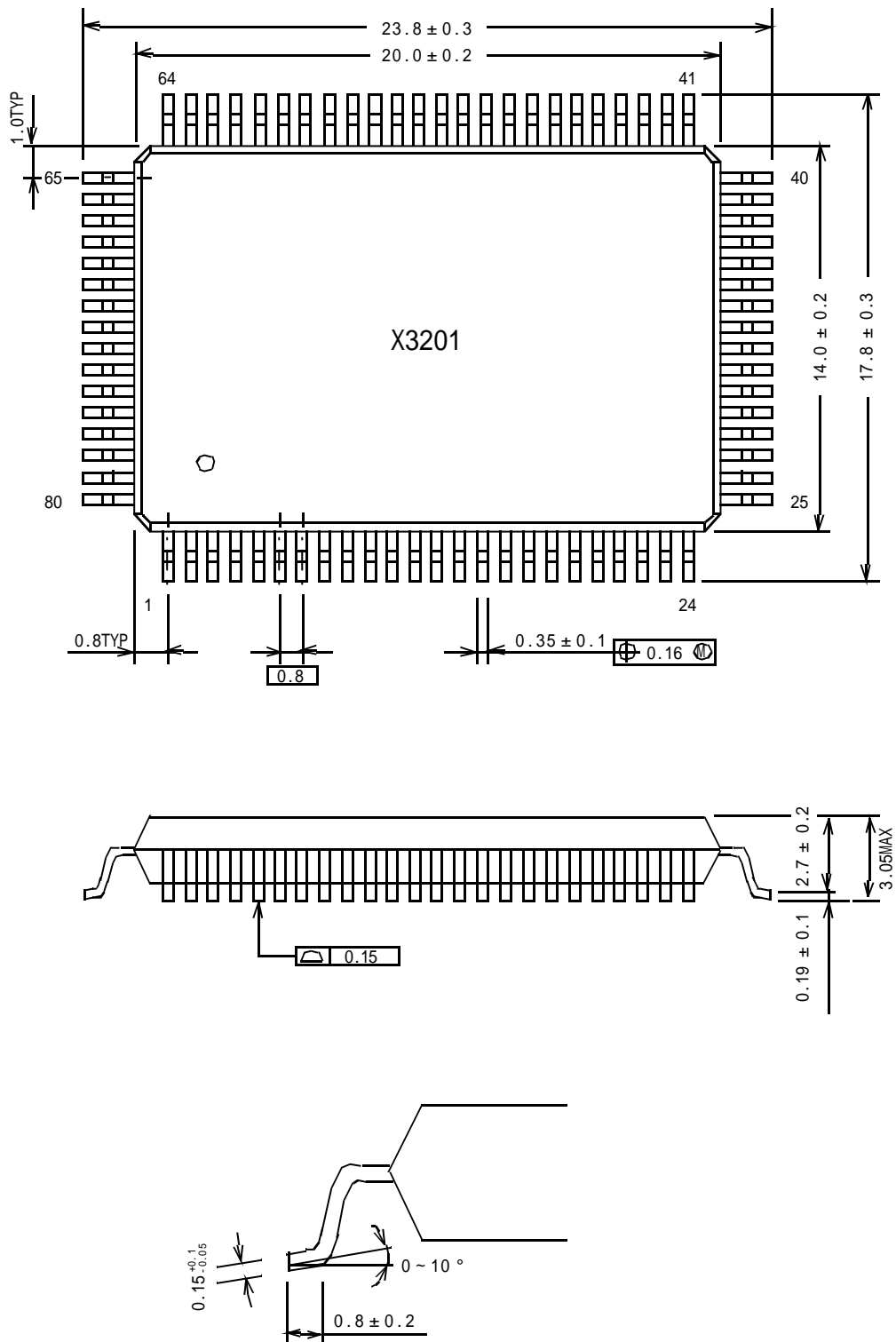
1-4 仕様一覧

表 1-1: 仕様一覧

項目	内容
電源電圧	5V ± 5%
入出力レベル	CMOSレベル
最大入力クロック(f)	16.384MHz (5V ± 5%、0 ~ 70)
最大出力周波数	直線加減速 4Mpps
加減速時間	約8msec ~ 131sec (但し、16382ステップ。 f = 16.384MHz)
出力パルス数設定範囲(R ₁)	1 ~ 16,777,215
減速開始点設定範囲(R ₂)	0 ~ 16,777,215 (マニュアル設定) -8388608 ~ 8388607 (自動算出オフセット設定)
周波数倍率設定範囲(R ₀)	1 ~ 4095
周波数設定ステップ数(R ₃ , R ₄)	1 ~ 16383
加減速レート設定範囲(R ₅ , R ₆)	1 ~ 16383
センサ入力感度設定範囲(F)	0 ~ 255 約0.98 ~ 250 μ sec (f = 16.384MHz)
ドライバインターフェース	出力 クロック出力 ゲートコントロール / 2クロック切替え可。 論理切替え可。 1ショット出力 約1.9 μ sec (f = 16.384MHz) 論理切替え可。 サーボON出力 汎用出力。 入力 ドライバアラーム入力 1点。 論理切替え可。 位置決め完了入力 1点。 論理切替え可。
センサ入力	エンドリミット入力 2点。+方向、-方向。 論理切替え可。 スローダウン入力 2点。+方向、-方向。 論理切替え可。 スローダウン、スローダウン停止切替え可。 原点入力 2点。オリジン、Z相。論理切替え可。 マークセンサ入力 1点。論理切替え可。
汎用入出力	入力 8点 出力 8点
エンコーダインターフェース	入力 2チャンネル。2クロック、1、2、4通倍 出力 コンバータ出力。1チャンネル。
その他の入出力	同期スタート入力 カウンタクリア入力 1点。
動作温度	0 ~ 70
保存温度	-40 ~ +125
形状	80PIN QFP 14 × 20 (mm)

1-5 パッケージ寸法

図 1-2: パッケージ寸法



1-6 ピン配置及び端子説明

1-6-1 端子説明

表 1-2: 端子説明

端子番号	信号名	I/O	論理	内 容
3, 33, 43, 73	Vdd	-		+5V ± 5%電源入力です。
12, 21, 52, 54, 64	GND	-		0V電源入力です。
20	CLK	I	正	基準クロック入力です。最大入力周波数16.384MHz。 デューティ50 ± 10%
19	$\overline{\text{RST}}$	I	負	リセット信号です。基準クロックの3周期以上のLow入力により本LSIは初期化されます。
16	$\overline{\text{CS}}$	I	負	チップセレクト信号です。この端子がLowになる事により本LSIにアクセスできます。
18	$\overline{\text{RD}}$	I	負	リードイネーブル信号です。CSがLowでかつRDがLowの時にデータの読み出しができます。
17	$\overline{\text{WR}}$	I	負	ライトイネーブル信号です。CSがLowの時、WRがLowからHighになるエッジでデータを取り込みます。
13 14 15	A0 A1 A2	I	正	A0(LSB)からA2(MSB)の3ビットアドレスバスです。
4 5 6 7 8 9 10 11	D0 D1 D2 D3 D4 D5 D6 D7	I/O	正	ホストCPUとの間でデータ転送を行うD0(LSB)からD7(MSB)の8ビット双方向性データバスです。この端子の出力バッファはトライステートになっています。
2	$\overline{\text{INT}}$	0	正負	割り込み要求信号です。パルス出力、カウンタ、センサの各要因によりアクティブになります。この端子はLowまたはハイインピーダンスの状態になります。 この $\overline{\text{INT}}$ 出力は割り込み制御レジスタによりマスクすることが出来ます。また、各割り込み要因ごとの割り込みフラグリセットコマンドを書き込むことにより割り込み要求を解除できます。
35	$\overline{\text{ALM}}$	I	正負	ドライバアラーム用の非常停止入力です。入力の論理は入力論理設定レジスタで切り替えができます。入力の感度は、入力感度設定レジスタにより基準クロック周期の16 ~ 4096倍まで設定ができます。
36	$\overline{+\text{EL}}$	I	正負	+方向の即時停止エンドリミット入力です。入力の論理は入力論理設定レジスタで切り替えができます。入力の感度は、入力感度設定レジスタにより基準クロック周期の16 ~ 4096倍まで設定ができます。
37	$\overline{-\text{EL}}$	I	正負	-方向の即時停止エンドリミット入力です。入力の論理は入力論理設定レジスタで切り替えができます。入力の感度は入力感度設定レジスタにより基準クロック周期の16 ~ 4096倍まで設定ができます。

端子番号	信号名	I/O	論理	内 容
38	$\overline{+SLD}$	I	正負	+方向のスローダウンリミット入力です。スローダウンまたはスローダウン停止の切り替えは入力モード設定レジスタでできます。入力の感度は、入力感度設定レジスタにより基準クロック周期の16~4096倍まで設定ができます。レベルまたはエッジ動作です。
39	$\overline{-SLD}$	I	正負	-方向のスローダウンリミット入力です。スローダウンまたはスローダウン停止の切り替えは入力モード設定レジスタでできます。入力の感度は、入力感度設定レジスタにより基準クロック周期の16~4096倍まで設定ができます。レベルまたはエッジ動作です。
41	$\overline{ORG1}$	I	正負	原点センサ入力です。機械原点復帰駆動では、 $\overline{ORG1}$ 入力単独の原点復帰動作と $\overline{ORG1}$ 入力と \overline{EZ} (エンコーダZ相) 入力とで行う原点復帰動作が有ります。エッジ動作です。入力の感度は基準クロックの1または16周期です。
42	\overline{EZ}	I	正負	エンコーダのZ相入力です。機械原点復帰駆動の $\overline{ORG1}$ 入力と \overline{EZ} 入力とで行う原点復帰動作では、 $\overline{ORG1}$ がアクティブになり減速を完了した後に \overline{EZ} 入力 がアクティブになれば停止します。入力の感度は基準クロックの1周期のサンプリングによるエッジ動作です。
34	\overline{INP}	I	正負	サーボドライバの位置決め完了入力です。初期設定レジスタで位置決め完了で停止フラグONの設定のときは、パルス出力完了後に \overline{INP} 入力 がアクティブになれば動作完了フラグがONになります。正常停止割り込みの場合も同様に \overline{INT} 出力がアクティブになります。
40	\overline{MARK}	I	正負	センサ位置決め開始入力です。センサ位置決め駆動のとき \overline{MARK} 入力 がアクティブになったところから設定パルス数を出します。入力の感度は基準クロックの1または16周期です。
74 75 76 77 78 79 80 1	$\overline{IN0}$ $\overline{IN1}$ $\overline{IN2}$ $\overline{IN3}$ $\overline{IN4}$ $\overline{IN5}$ $\overline{IN6}$ $\overline{IN7}$	I	負	$\overline{IN0}$ (LSB)から $\overline{IN7}$ (MSB)は8ビットパラレル入力です。 $\overline{IN0}$ はHighからLowの変化で割り込みができます。
46	\overline{CLRA}	I	負	\overline{CLRA} がLowのときマルチカウンタAは0にクリアされます。レベル動作またはエッジ動作の切り替えができます。
31	\overline{POUT}	O	正負	指令パルス出力です。2パルス方式のときはCW方向のパルス出力をします。パルス/方向方式のときはパルス出力をします。出力の論理は出力論理レジスタで切り替えができます。
32	\overline{PDIR}	O	正負	方向出力または指令パルス出力です。2パルス方式のときはCCW方向のパルス出力をします。パルス/方向方式のときは方向出力をします。出力の論理は出力論理レジスタで切り替えができます。
28	\overline{CLR}	O	正負	サーボドライバの偏差カウンタクリア用の1ショットまたは汎用出力です。1ショットまたは汎用出力の切り替えは出力の初期設定レジスタで行います。1ショットのパルス幅は基準クロックの32周期です。出力の論理は出力論理レジスタで切り替えができます。

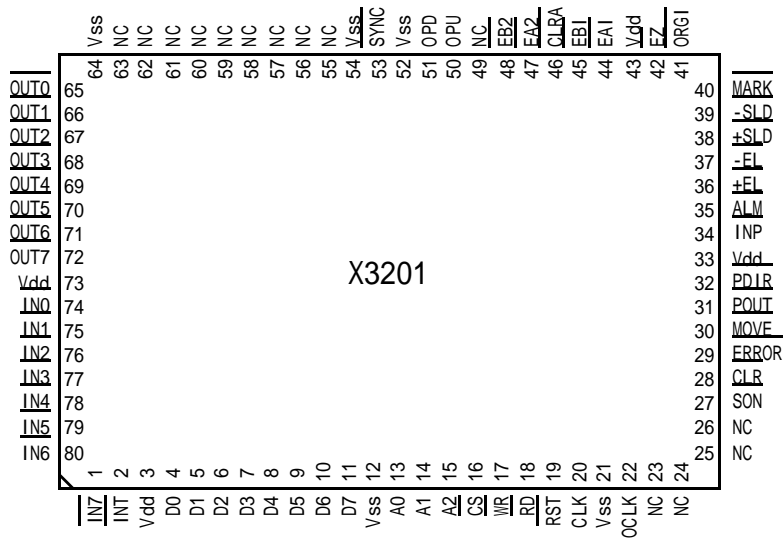
端子番号	信号名	I/O	論理	内 容
27	SON	0	負	サーボドライバ用のサーボオン出力です。汎用出力として使用できます。
65 66 67 68 69 70 71 72	$\overline{\text{OUT0}}$ $\overline{\text{OUT1}}$ $\overline{\text{OUT3}}$ $\overline{\text{OUT4}}$ $\overline{\text{OUT5}}$ $\overline{\text{OUT6}}$ $\overline{\text{OUT7}}$	0	負	$\overline{\text{OUT0}}$ (LSB) から $\overline{\text{OUT7}}$ (MSB) は8ビットパラレルの汎用出力です。 8ビット同時の書換と各ビットごとのビットオペレーションができます。
29	$\overline{\text{ERROR}}$	0	正 負	エラー停止モニタ出力です。 $\overline{\text{ALM}}$ 、 $\overline{+\text{EL}}$ 、 $\overline{-\text{EL}}$ によるエラー停止のときにLowになります。停止フラグをリセットするとHighになります。出力の論理は出力論理レジスタで切り替えができます。
30	$\overline{\text{MOVE}}$	0	正 負	パルス出力中のモニタ出力です。パルス出力中はLowになります。出力の論理は出力論理レジスタで切り替えができます。
44	$\overline{\text{EA1}}$	1	負	エンコーダ入力チャンネル1のA相入力です。2クロック方式と90°位相差の1、2、4通倍の選択はエンコーダ入力の初期設定でできます。
45	$\overline{\text{EB1}}$	1	負	エンコーダ入力チャンネル1のB相入力です。2クロック方式と90°位相差の1、2、4通倍の選択はエンコーダ入出力の初期設定でできます。
47	$\overline{\text{EA2}}$	1	負	エンコーダ入力チャンネル2のA相入力です。2クロック方式と90°位相差の1、2、4通倍の選択はエンコーダ入出力の初期設定でできます。
48	$\overline{\text{EB2}}$	1	負	エンコーダ入力チャンネル2のB相入力です。2クロック方式と90°位相差の1、2、4通倍の選択はエンコーダ入出力の初期設定でできます。
22	OCLK	0	正	基準クロックの2分周出力です。
50	OPU	0	正	エンコーダ入力チャンネル1または2の90°位相差2相クロックから正論理2クロックへのコンバータ出力です。A相がB相に先行したときに正論理の基準クロックの1周期幅のパルスを出します。
51	OPD	0	正	エンコーダ入力チャンネル1または2の90°位相差2相クロックから正論理2クロックへのコンバータ出力です。B相がA相に先行したときに正論理の基準クロックの1周期幅のパルスを出します。
53	$\overline{\text{SYNC}}$	1	負	同期スタート入力です。同期スタートモードのとき起動をかけた後 $\overline{\text{SYNC}}$ がHighからLowに変化すればパルス出力を開始します。
23, 24, 25 26, 49, 55 56, 57, 58 59, 60, 61 62, 63	N C			無接続ピンです。

【注】 1. $\overline{\text{INT}}$ はオープンドレイン出力です。

2. $\overline{\text{RST}}$ 、 $\overline{\text{ALM}}$ 、 $\overline{+\text{EL}}$ 、 $\overline{-\text{EL}}$ 、 $\overline{+\text{SLD}}$ 、 $\overline{-\text{SLD}}$ 、 $\overline{\text{ORG1}}$ 、 $\overline{\text{EZ}}$ 、 $\overline{\text{INP}}$ 、 $\overline{\text{MARK}}$ 、 $\overline{\text{INO}} \sim 7$ 、 $\overline{\text{EA1}}$ 、 $\overline{\text{EB1}}$ 、 $\overline{\text{EA2}}$ 、 $\overline{\text{EB2}}$ 、 $\overline{\text{SYNC}}$ 、 $\overline{\text{CLRA}}$ はプルアップ抵抗(100k)内臓入力です。

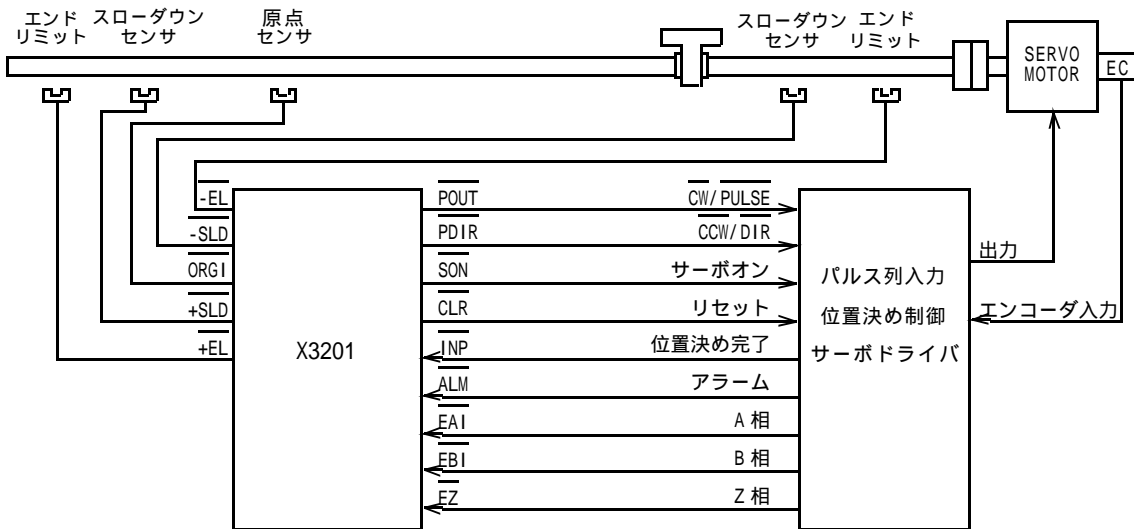
1-6-2 ピン配置図

図 1-3: ピン配置図



1-7 システムの構成

図 1-4: サーボモーターインターフェース例

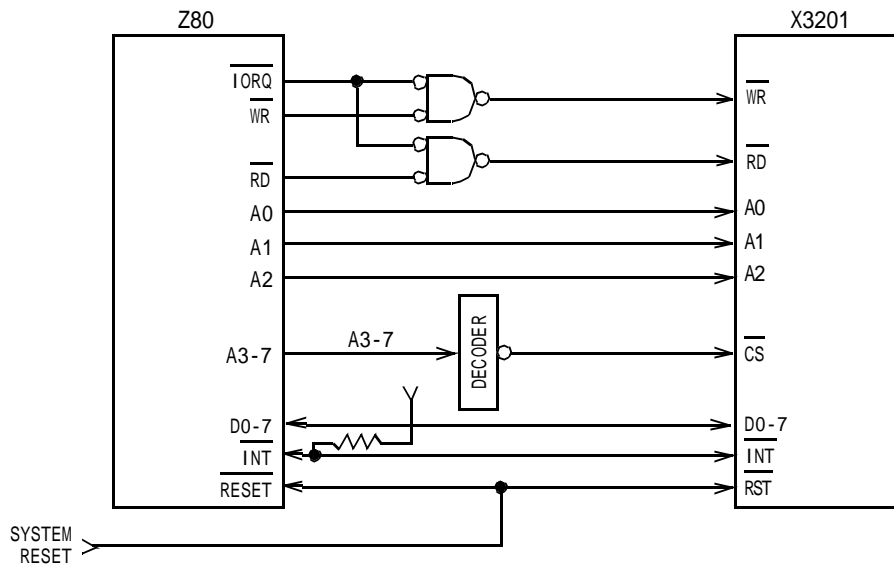


1-8 CPUとのインターフェース例

本LSIではD0~7の8ビットデータバスを介し80系プロセッサに直結可能なバスインターフェースを採用していますが、簡単な外付け回路を構成することにより68系プロセッサによってもインターフェースすることができます。

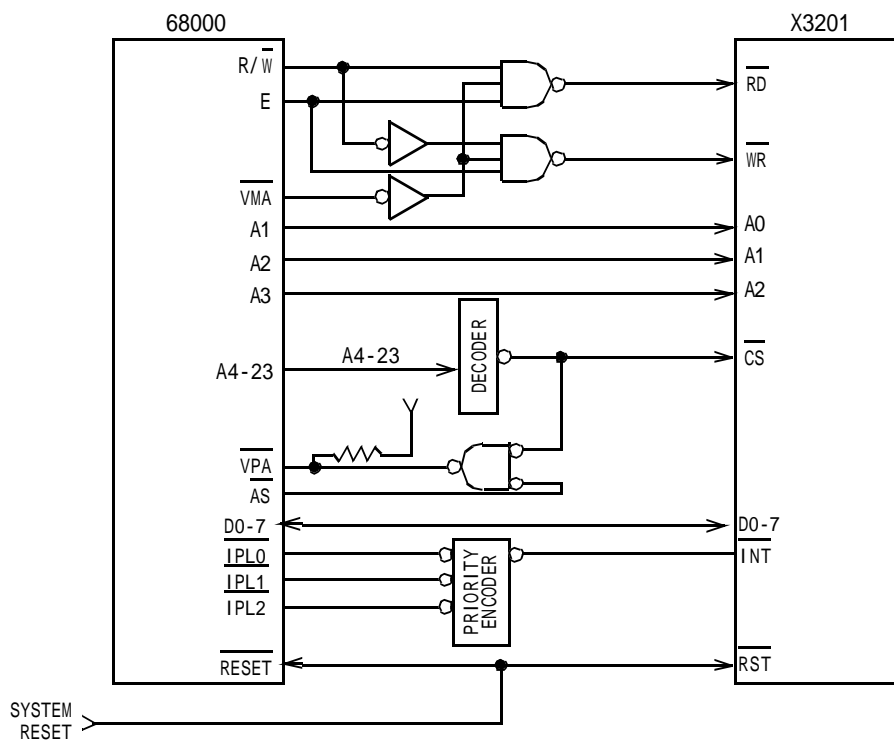
1-8-1 Z80とのインターフェース例

図 1-5: Z80とのインターフェース例



1-8-2 68000とのインターフェース例

図 1-6: 68000とのインターフェース例



2. アドレス割付とデータのリード・ライト

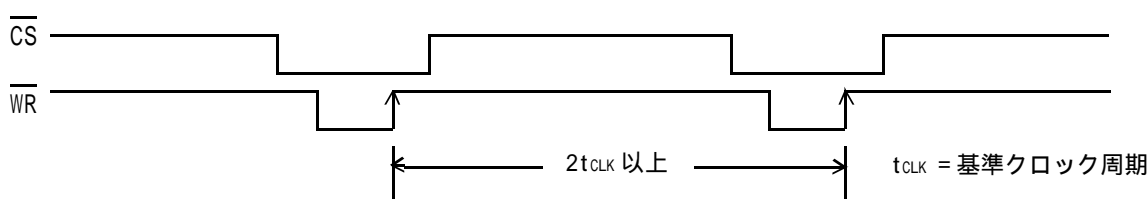
2-1 アドレス割付表

表 2-1: アドレス割付表

A2	A1	A0	WRITE	READ
0	0	0	レジスタセクタ	レジスタセクタ
0	0	1	書き込みデータ1(bit0-7)	読み出しデータ1(bit0-7)
0	1	0	書き込みデータ2(bit8-15)	読み出しデータ2(bit8-15)
0	1	1	書き込みデータ3(bit16-23)	読み出しデータ3(bit16-23)
1	0	0	システム予約(アクセス禁止)	システム予約(アクセス禁止)
1	0	1	システム予約(アクセス禁止)	システム予約(アクセス禁止)
1	1	0	システム予約(アクセス禁止)	割り込み状態ステータス
1	1	1	コマンド	動作状態ステータス

【注】 1. WRITEサイクルでは、データの書き込み処理に基準クロックの2周期の時間(リカバリタイム)を要します。

図 2-1: WRITEサイクルとリカバリタイム



2. コマンドの書き込み、割り込み状態モニタと動作状態モニタ以外のパラメータ、カウンタ初期設定は、レジスタセクタを設定した後に書き込みデータ1~3、読み出しデータ1~3でリード・ライトします。
3. 書き込みデータが2バイト以上の場合、下位から上位の順に書き込みます。最上位書き込み時に一括取り込みされます。
4. 読み出しデータが2バイト以上の場合、レジスタセクタをライトした後に読み出します。レジスタセクタの書き込み時に一括読み出し用補助バッファにデータがラッチされます。読み出しは連続して行います。

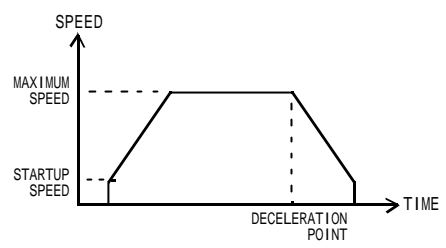

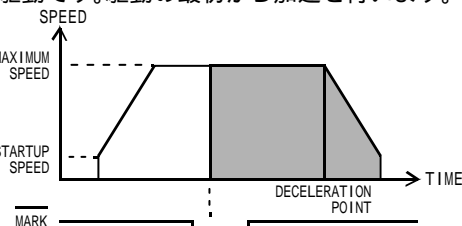
3. コマンドの種類と機能

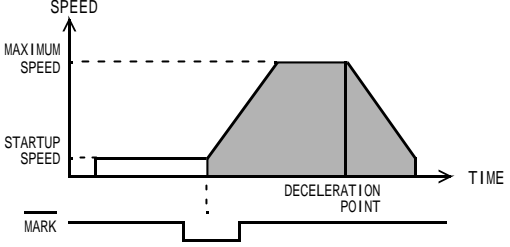
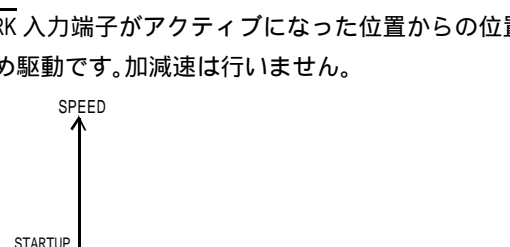
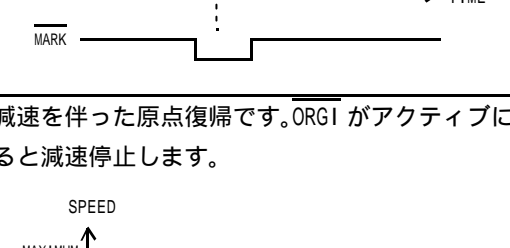
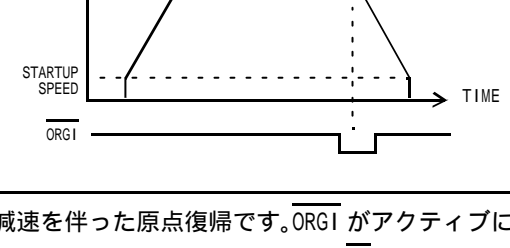
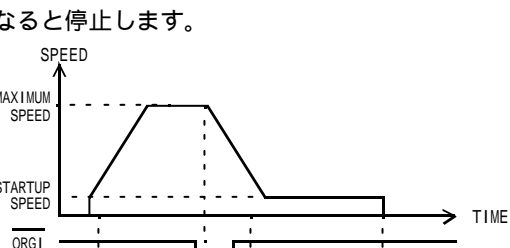
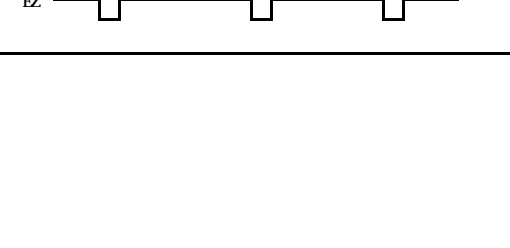

3-1 コマンドのライト

アドレスの7番地に1バイトの命令コードをライトします。

3-2 コマンド一覧

表 3-1: コマンド一覧

命令コード (16進)	種類	説明
00h	インデックス駆動(+方向)	加減速を伴った位置決め駆動です 
01h	インデックス駆動(-方向)	
02h	定速インデックス駆動(+方向)	起動時の速度での位置決め駆動です 
03h	定速インデックス駆動(-方向)	
06h	連続駆動(+方向)	加速を伴った連続パルス駆動です。即時停止命令(コマンド30h)または減速停止命令(コマンド31h)をライトするか、+EL、-ELまたはALMがアクティブになるまでパルスを出力します。
07h	連続駆動(-方向)	
08h	定速連続駆動(+方向)	起動時の速度での連続パルス駆動です。即時停止命令(コマンド30h)または減速停止命令(コマンド31h)をライトするか、+EL、-ELまたはALMがアクティブになるまでパルスを出力します。
09h	定速連続駆動(-方向)	
0Ah	センサ位置決め駆動I(+方向)	MARK入力端子がアクティブになった位置からの位置決め駆動です。駆動の最初から加速を行います。 
0Bh	センサ位置決め駆動I(-方向)	

命令コード (16進)	種 類	説 明
0Ch	センサ位置決め駆動 (+方向)	MARK 入力端子がアクティブになった位置からの位置決め駆動です。加速は MARK 入力 that アクティブになってから行います。 
0Dh	センサ位置決め駆動 (-方向)	
0Eh	センサ位置決め駆動 (+方向)	MARK 入力端子がアクティブになった位置からの位置決め駆動です。加減速は行いません。 
0Fh	センサ位置決め駆動 (-方向)	
12h	原点復帰 (+方向)	加減速を伴った原点復帰です。ORG1 がアクティブになると減速停止します。 
13h	原点復帰 (-方向)	
14h	原点復帰 (+方向)	加減速を伴った原点復帰です。ORG1 がアクティブになると減速し、起動速度になった後 EZ がアクティブになると停止します。 
15h	原点復帰 (-方向)	

命令コード (16進)	種 類	説 明
16h	原点復帰 (+ 方向)	<p>起動時の速度での原点復帰です。ORG1 がアクティブになると即時停止します。</p>
17h	原点復帰 (- 方向)	
18h	原点復帰 (+ 方向)	<p>起動時の速度での原点復帰です。ORG1 がアクティブになった後、EZ がアクティブになると即時停止します。</p>
19h	原点復帰 (- 方向)	
1Ah	原点復帰 (+ 方向)	<p>加減速を伴った原点復帰です。ORG1 がアクティブになると減速し EZ 入力による割り込みがイネーブルになります。原点復帰 命令を行うと次の EZ がアクティブになったエッジで停止します。</p>
1Bh	原点復帰 (- 方向)	
30h	即時停止命令	<p>駆動中にこの命令をライトすると即時停止します。最終パルスのパルス幅は確保します。</p>
31h	減速停止命令	<p>駆動中にこの命令をライトすると減速停止します。定速駆動中のときは即時停止になります。最終パルスのパルス幅は確保します。</p>
32h	減速命令	<p>加減速を伴った駆動中にこの命令をライトすると起動時の速度まで減速します。</p>

命令コード (16進)	種 類	説 明
33h	減速解除命令	減速命令の後にこの命令をライトすると最高速まで加速します。
34h	定速命令	加減速を伴った駆動中にこの命令をライトすると現在の速度に固定されます。
35h	定速解除命令	定速命令後にこの命令をライトすると再び加減速の動作がはじまります。
40h	タイマ動作	パルスを出力しないインデックス駆動です。
41h	タイマ動作	パルスを出力しない定速インデックス駆動です。
50h	カウンタAのクリア命令	カウンタAを0にクリアします。
A0h	動作完了フラグリセット命令	動作完了フラグが立っているときにこの命令をライトするとフラグがリセットされます。動作完了フラグおよびエラーフラグが立っているときも、この命令によりフラグがリセットされます。動作完了フラグが立っているときは、駆動命令をライトしても再起動されませんので必ずこの命令でリセットする必要があります。
A2h	減速開始割り込みフラグリセット命令	減速開始割り込みフラグが立っているときに、この命令をライトすると減速開始割り込みフラグがリセットされます。
A3h	等速度割り込みフラグリセット命令	等速度割り込みフラグが立っているときに、この命令をライトすると等速度割り込みフラグがリセットされます。
A5h	最大加速度割り込みフラグリセット命令	最大加速度割り込みフラグが立っているときに、この命令をライトすると最大加速度割り込みフラグがリセットされます。
A8h	カウンタAキャリー割り込みフラグリセット	カウンタAのキャリー割り込みフラグが立っているときに、この命令をライトするとカウンタAのキャリー割り込みフラグがリセットされます。
A9h	カウンタAポロー割り込みフラグリセット	カウンタAのポロー割り込みフラグが立っているときに、この命令をライトするとカウンタAのポロー割り込みフラグがリセットされます。
ADh	カウンタCポロー割り込みフラグリセット	カウンタCのポロー割り込みフラグが立っているときに、この命令をライトするとカウンタCのポロー割り込みフラグがリセットされます。
B0h	$\overline{\text{ORGI}}$ センサ割り込みフラグリセット	$\overline{\text{ORGI}}$ センサ割り込みフラグが立っているときに、この命令をライトすると $\overline{\text{ORGI}}$ センサ割り込みフラグがリセットされます。
B1h	$\overline{\text{EZ}}$ センサ割り込みフラグリセット	$\overline{\text{EZ}}$ センサ割り込みフラグが立っているときに、この命令をライトすると $\overline{\text{EZ}}$ センサ割り込みフラグがリセットされます。

命令コード (16進)	種 類	説 明
B2h	$\overline{\text{IN0}}$ 入力割り込みフラグリセット	$\overline{\text{IN0}}$ 入力割り込みフラグが立っているときに、この命令をライトすると $\overline{\text{IN0}}$ 割り込みフラグがリセットされます。
B3h	$\overline{\text{MARK}}$ 入力割り込みフラグリセット	$\overline{\text{MARK}}$ 入力割り込みフラグが立っているときに、この命令をライトすると $\overline{\text{MARK}}$ センサ割り込みフラグがリセットされます。
E0h	$\overline{\text{OUT0}}$ をセット	汎用出力のビットオペレーションです。 $\overline{\text{OUT0}}$ ~ 7のそれぞれの端子をLowにします。
E1h	$\overline{\text{OUT1}}$ をセット	
E2h	$\overline{\text{OUT2}}$ をセット	
E3h	$\overline{\text{OUT3}}$ をセット	
E4h	$\overline{\text{OUT4}}$ をセット	
E5h	$\overline{\text{OUT5}}$ をセット	
E6h	$\overline{\text{OUT6}}$ をセット	
E7h	$\overline{\text{OUT7}}$ をセット	
EEh	$\overline{\text{SON}}$ をセット	サーボON用出力端子 $\overline{\text{SON}}$ をLowにします。
EFh	$\overline{\text{CLR}}$ を出力	1ショットの設定のときは $\overline{\text{CLR}}$ 端子から基準クロックの32周期のパルスを出力します。汎用出力の設定のときはONにします。
F0h	$\overline{\text{OUT0}}$ をリセット	汎用出力のビットオペレーションです。 $\overline{\text{OUT0}}$ ~ 7のそれぞれの端子をHighにします。
F1h	$\overline{\text{OUT1}}$ をリセット	
F2h	$\overline{\text{OUT2}}$ をリセット	
F3h	$\overline{\text{OUT3}}$ をリセット	
F4h	$\overline{\text{OUT4}}$ をリセット	
F5h	$\overline{\text{OUT5}}$ をリセット	
F6h	$\overline{\text{OUT6}}$ をリセット	
F7h	$\overline{\text{OUT7}}$ をリセット	
FEh	$\overline{\text{SON}}$ をリセット	サーボON用出力端子 $\overline{\text{SON}}$ をHighにします。
FFh	$\overline{\text{CLR}}$ をリセット	汎用入力の設定のときは $\overline{\text{CLR}}$ をOFFにします。

4. 各種レジスタと内部カウンタについて

4-1 レジスタとカウンタの一覧

表 4-1: レジスタ及びカウンタ一覧

セレクトコード 16進	レジスタ・カウンタ	有効 ビット長	設定範囲	種別	上位アドレスの リード・ライト数
00h	周波数数倍率設定レジスタ(R ₀)	12	1 ~ 4,096	パラメータ	2バイト一括RW
01h	出力パルス数設定レジスタ(カウンタC/R ₁)	24	0 ~ 16,777,215	パラメータ	3バイト一括RW
02h	減速開始点設定レジスタ(カウンタD/R ₂)	24	0 ~ 16,777,215 -8,388,608 ~ 8,388,607	パラメータ	3バイト一括RW
03h	起動周波数設定レジスタ(R ₃)	14	1 ~ 16,383	パラメータ	2バイト一括RW
04h	最高周波数設定レジスタ(R ₄)	14	1 ~ 16,383	パラメータ	2バイト一括RW
05h	加速レート設定レジスタ(R ₅)	14	1 ~ 16,383	パラメータ	2バイト一括RW
06h	減速レート設定レジスタ(R ₆)	14	1 ~ 16,383	パラメータ	2バイト一括RW
21h	カウンタA	24		カウンタ	3バイト一括RW
23h	周波数読み出し	14		周波数	2バイト一括RD
40h	汎用出力一括設定(OUT0 ~ 7)	8		I/O	1バイト RW
50h	パルス出力初期設定レジスタ	4		初期設定	1バイト RW
51h	エンコーダ入出力初期設定レジスタ	5		初期設定	1バイト RW
52h	カウンタA初期設定レジスタ	6		初期設定	1バイト RW
54h	入力の初期設定レジスタ	5		初期設定	1バイト RW
55h	入力論理の初期設定レジスタ	9		初期設定	2バイト個別 RW
56h	入力フィルタの初期設定レジスタ(F)	8		初期設定	1バイト RW
57h	出力の初期設定レジスタ	1		初期設定	1バイト RW
58h	出力論理の初期設定レジスタ	6		初期設定	1バイト RW
60h	動作制御モード設定レジスタ	3		制御モード	1バイト RW
61h	カウンタA制御モード設定レジスタ	2		制御モード	1バイト RW
63h	CLR 出力制御モード設定レジスタ	2		制御モード	1バイト RW
70h	パルス発振割り込みマスクレジスタ	4		割り込み	1バイト RW
71h	カウンタ割り込みマスクレジスタ	3		割り込み	1バイト RW
72h	センサ割り込みマスクレジスタ	4		割り込み	1バイト RW
E0h	パルス発振割り込みフラグレジスタ	4		割り込み	1バイト RD
E1h	カウンタ割り込みフラグレジスタ	3		割り込み	1バイト RD
E2h	センサ割り込みフラグレジスタ	4		割り込み	1バイト RD
F0h	センサ状態ステータスレジスタ1、2	9		ステータス	2バイト個別 RD
F1h	正常停止要因ステータスレジスタ	4		ステータス	1バイト RD
F2h	エラー停止要因ステータスレジスタ	3		ステータス	1バイト RD
F3h	汎用入力状態ステータスレジスタ	8		ステータス	1バイト RD

RW: リードおよびライト RD: リードのみ

4-2 レジスタとカウンタのリード・ライト

レジスタとカウンタのリード・ライトは、表 2-1 アドレス割付表の0番地にセレクトコードをライトし、1～3番地をリードまたはライトして行います。

4-2-1 1バイトのレジスタのリードとライト

リードは0番地のレジスタセクタにセレクトコードをライトし、1番地の読み出しデータ1をリードします。ライトは0番地のレジスタセクタにセレクトコードをライトし、1番地の書き込みデータ1にライトします。

4-2-2 2バイトのレジスタのリードとライト

リードは0番地のレジスタセクタにセレクトコードをライトし、1番地の読み出しデータ1で下位のバイト(0～7bit)をリードし、その後2番地の読み出しデータ2で上位のバイト(8～15bit)をリードします。

ライトは0番地のレジスタセクタにセレクトコードをライトし、1番地の書き込みデータ1で下位のバイト(0～7bit)をライトし、その後2番地の書き込みデータ2で上位のバイト(8～15bit)をライトします。

4-2-3 3バイトのレジスタとカウンタのリードとライト

リードは0番地のレジスタセクタにセレクトコードをライトし、1番地の読み出しデータ1で下位のバイト(0～7bit)をリードし、次に2番地の読み出しデータ2で中位のバイト(8～15bit)をリードし、その後3番地の読み出しデータ3で上位のバイト(16～23bit)をリードします。

ライトは0番地のレジスタセクタにセレクトコードをライトし、1番地の書き込みデータ1で下位のバイト(0～7bit)をライトし、次に2番地の書き込みデータ2で中位にバイト(8～15bit)をライトし、その後3番地の読み出しデータ3で上位のバイト(16～23bit)をライトします。

5. パルス出力に関する各パラメータについて

本LSIでパルス出力やタイマ動作の為に9種類のパラメータがあります。このパラメータは R_0 から R_6 のパラメータレジスタにより設定します。

5-1 パラメータの種類

5-1-1 周波数倍率設定レジスタ (R_0 レジスタ)

R_0 レジスタは出力周波数の倍率レンジを設定するレジスタです。設定の範囲は1~4096ですが、4096の場合は0を設定します。 R_0 レジスタの設定値と倍率[pps/step]および出力周波数の範囲は表 5-1 の様になります。

表 5-1: 周波数倍率と出力周波数範囲 (基準クロック $f=16.384\text{MHz}$)

R_0	倍率 [pps/step]	出力周波数範囲 [pps]
		直線加減速
2500	0.1	0.1 ~ 1,638.3
250	1	1 ~ 16,383
50	5	5 ~ 81,915
10	25	25 ~ 409,575
1	250	250 ~ 4,095,750

5-1-2 出力パルス数設定レジスタ (R_1 レジスタ)

R_1 レジスタは出力パルス数を設定するレジスタです。 R_1 レジスタは、カウンタCと共用しています。従って R_1 レジスタのライトは、カウンタCのプリセットとなります。パルス出力を途中で強制的に停止した時のカウンタCの値は、(R_1 レジスタの設定値-出力パルス数)になっています。次回に残りパルス数のみを出力する場合は再設定をする必要がありません。その他の場合は毎回 R_1 レジスタの設定が必要です。

5-1-3 減速開始点設定レジスタ (R_2 レジスタ)

本LSIでは減速開始点の自動算出モードを備えていますが、減速開始点のマニュアル設定や減速開始点のオフセット設定が R_2 レジスタにデータをライトすることで行えます。

R_2 レジスタはカウンタDと共用していますが、減速開始点マニュアル設定モードで使用するときにはカウント動作を行いません。

5-1-4 起動周波数設定レジスタ (R_3 レジスタ)

パルス出力開始時と終了時の周波数を決めるパラメータレジスタです。

5-1-5 最高周波数設定レジスタ (R_4 レジスタ)

パルス出力の最高周波数を決めるパラメータレジスタです。直線加減速または減速開始点自動算出モードではパルス出力にも書換ができます。S字加減速の場合は連続モードおよび減速開始点マニュアル設定モードでは等速パルス出力中であれば途中書換ができます。

5-1-6 加速レート設定レジスタ (R_5 レジスタ)

加減速を決めるパラメータレジスタです。

5-1-7 減速レート設定レジスタ (R_6 レジスタ)

減速度を決めるパラメータレジスタです。減速開始点自動算出モードでは R_5 レジスタと R_6 レジスタは同じ設定にして下さい。S字加減速区間設定レジスタ(R_7 レジスタ)

5-2 パラメータの計算式

表 5-2: パラメータ計算式一覧

速度分解能 K [pps/step]	$K = \frac{f}{65536 \times R_0}$ f: 基準クロック周波数 [Hz]
起動周波数 V [pps]	$V = \frac{f \times R_3}{65536 \times R_0}$
最高周波数 V [pps]	$V = \frac{f \times R_4}{65536 \times R_0}$
加速度 g [pps/sec]	$g = \frac{f \times K \times R_5}{131072}$
減速度 g [pps/sec]	$g = \frac{f \times K \times R_6}{131072}$
加速時間 Tg [sec]	$Tg = \frac{131072 \times (R_4 - R_3)}{f \times R_5}$
減速時間 Tg [sec]	$Tg = \frac{131072 \times (R_4 - R_3)}{f \times R_6}$
減速開始点 Dp [パルス]	台形 ($R_4 > R_3$ の場合) $Dp = \frac{(R_4 - R_3)(R_4 + R_3 - 1)}{R_0 \times R_6}$ 三角駆動 $Dp = \frac{R_1 \times R_5}{R_5 + R_6}$

6. 初期設定レジスタ

初期設定レジスタはパワーオンリセット後に必ず1度設定をします。その後パルス出力停止中には設定を替えることができます。

6-1 各初期設定レジスタの機能

6-1-1 パルス出力初期設定レジスタ

表 6-1: パルス出力初期設定レジスタ

bit	内 容	
	0	1
0	0.5パルスアイドルリング	1.5パルスアイドルリング
1	未定義(0を設定)	
2	+方向がCWパルス出力	+方向がCCWパルス出力
3	CW、CCWの2クロック方式	PULSE、DIRのゲート方式
4	未定義(0を設定)	
5	未定義(0を設定)	
6	未定義(0を設定)	
7	パルス出力完了で動作完了フラグON	位置決め完了で動作完了フラグON

アイドルリング

アイドルリングとは加減速を遅らせる機能です。設定が0のときは0.5パルス後に加速が始まり、パルス停止の0.5パルス前に減速が終了します。設定が1のときは起動から1.5パルス後に加速が始まり、パルス停止の1.5パルス前に減速が終了します。

$\overline{\text{POUT}}$ 、 $\overline{\text{PDIR}}$ 出力

表 6-2: パルス出力初期設定と $\overline{\text{POUT}}$ と $\overline{\text{PDIR}}$ 出力

bit3	bit2	$\overline{\text{POUT}}$		$\overline{\text{PDIR}}$	
		+	-	+	-
0	0				
0	1				
1	0				
1	1				

【注】 正論理の場合は反転します。

動作完了フラグ

動作完了フラグは、動作状態ステータスでリードできます。bit7=0の時は、パルス出力完了後直ちに動作完了フラグは1になります。bit7=1の時は、パルス出力完了後 $\overline{\text{INP}}$ 入力端子がアクティブになれば1になります。

6-1-2 エンコーダ入出力の初期設定レジスタ

表 6-3: エンコーダ入出力の初期設定レジスタ

bit	内 容	
	0	1
0	EA1、EB $\bar{1}$ (チャンネル1) 入力モードコード1	
1	EA1、EB $\bar{1}$ (チャンネル1) 入力モードコード2	
2	EA2、EB $\bar{2}$ (チャンネル2) 入力モードコード1	
3	EA2、EB $\bar{2}$ (チャンネル2) 入力モードコード2	
4	コンバータ出力はチャンネル1入力	コンバータ出力はチャンネル2入力
5	未定義(0を設定)	
6	未定義(0を設定)	
7	未定義(0を設定)	

エンコーダ入力モードコード(チャンネル1、2共通)

表 6-4: エンコーダ入力モードコード

コード2	コード1	内 容
0	0	2クロック負論理
0	1	2相クロック4週倍
1	0	2相クロック2週倍
1	1	2相クロック1週倍

エンコーダコンバータ出力

OPU、OPDの出力端子は、チャンネル1または2のエンコーダ入力の2相クロックを2クロック正論理にコンバートする出力です。A相がB相に先行する時はOPUからパルス出力します。B相がA相に先行する時は、OPDからパルス出力します。

6-1-3 カウンタA初期設定レジスタ

表 6-5: カウンタA初期設定レジスタ

bit	内 容	
	0	1
0	内部発振パルスカウントディセーブル	内部発振パルスカウントイネーブル
1	チャンネル1カウントディセーブル	チャンネル1カウントイネーブル
2	チャンネル2カウントディセーブル	チャンネル2カウントイネーブル
3	チャンネル1入力正カウント	チャンネル1入力逆カウント
4	チャンネル2入力正カウント	チャンネル2入力逆カウント
5	-8388608 ~ 8388607のカウント	0 ~ 16777215のカウント
6	未定義(0を設定)	
7	未定義(0を設定)	

多重入力カウント

カウンタAは、内部発振パルスとエンコーダ入力のチャンネル1、2を2チャンネルまで同時カウント可能です。bit0 - 2によりそれぞれのカウントをイネーブルに出来ます。

bit3 - 4のエンコーダ入力の正カウントとは、A相がB相に先行する時にアップカウントし、B相がA相に先行する時にダウンカウントすることです。逆カウントの設定をするとその逆になります。

6-1-4 入力の初期設定レジスタ

表 6-6: 入力の初期設定レジスタ

bit	内 容	
	0	1
0	+SLD、-SLD は減速入力	+SLD、-SLD は減速停止入力
1	+SLD、-SLD はレベル動作入力	+SLD、-SLD はエッジ動作入力
2	ORGI は低感度入力	ORGI は高感度入力
3	MARK は低感度入力	MARK は高感度入力
4	CLRA はレベルクリア入力	CLRA はエッジクリア入力
5	未定義(常に0を設定)	
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

bit0=0の時に +SLDまたは -SLD がアクティブになれば、R3レジスタ設定の速度に減速 (R4>R3の場合) しパルスの出力を継続します。bit0=1の時に +SLD または -SLD がアクティブになれば、R3レジスタ設定の速度に減速しパルスの出力を停止します。

6-1-5 入力論理の初期設定レジスタ

入力論理の初期設定レジスタ は表 2-1 の 1 番地でリード、ライトし、入力論理の初期設定レジスタ は2番地でリード、ライトします。

表 6-7: 入力論理の初期設定レジスタ

bit	内 容	
	0	1
0	+EL は負論理入力	+EL は正論理入力
1	-EL は負論理入力	-EL は正論理入力
2	ALM は負論理入力	ALM は正論理入力
3	未定義(常に0を設定)	
4	未定義(常に0を設定)	
5	未定義(常に0を設定)	
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

表 6-8: 入力論理の初期設定レジスタ

bit	内 容	
	0	1
0	$\overline{\text{ORG1}}$ は負論理入力	ORG1 は正論理入力
1	$\overline{\text{EZ}}$ は負論理入力	$\overline{\text{EZ}}$ は正論理入力
2	$\overline{\text{+SLD}}$ は負論理入力	$\overline{\text{+SLD}}$ は正論理入力
3	$\overline{\text{-SLD}}$ は負論理入力	$\overline{\text{-SLD}}$ は正論理入力
4	$\overline{\text{INP}}$ は負論理入力	$\overline{\text{INP}}$ は正論理入力
5	$\overline{\text{MARK}}$ は負論理入力	$\overline{\text{MARK}}$ は正論理入力
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

6-1-6 入力フィルタの初期設定レジスタ (F)

入力フィルタの設定値は $\overline{\text{+EL}}$ 、 $\overline{\text{-EL}}$ 、 $\overline{\text{ALM}}$ 、 $\overline{\text{+SLD}}$ 、 $\overline{\text{-SLD}}$ の感度を決めます。設定値の範囲は1～256です。256の場合は0を設定します。

感度は $16 \times F \times$ 基準クロックの1周期です。

6-1-7 出力の初期設定レジスタ

表 6-9: 出力の初期設定レジスタ

bit	内 容	
	0	1
0	$\overline{\text{CLR}}$ は1ショット出力	CLR は汎用出力
1	未定義(常に0を設定)	
2	未定義(常に0を設定)	
3	未定義(常に0を設定)	
4	未定義(常に0を設定)	
5	未定義(常に0を設定)	
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

6-1-8 出力論理の初期設定レジスタ

表 6-10: 出力論理の初期設定レジスタ

bit	内 容	
	0	1
0	$\overline{\text{POUT}}$ は負論理出力	POUT は正論理出力
1	$\overline{\text{PDIR}}$ は負論理出力	$\overline{\text{PDIR}}$ は正論理出力
2	$\overline{\text{CLR}}$ は負論理出力	$\overline{\text{CLR}}$ は正論理出力
3	$\overline{\text{INT}}$ は負論理出力	$\overline{\text{INT}}$ は正論理出力
4	$\overline{\text{ERROR}}$ は負論理出力	$\overline{\text{ERROR}}$ は正論理出力
5	$\overline{\text{MOVE}}$ は負論理出力	$\overline{\text{MOVE}}$ は正論理出力
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

7. 制御モードレジスタについて

7-1 各制御モードレジスタの機能

7-1-1 動作制御モード設定レジスタ

表 7-1: 動作制御モード設定レジスタ

bit	内 容	
	0	1
0	同期スタート制御を行わない	同期スタート制御を行う
1	減速開始点制御コード1	
2	減速開始点制御コード2	
3	未定義(常に0を設定)	
4	未定義(常に0を設定)	
5	未定義(常に0を設定)	
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

同期スタート

同期スタート制御を行う場合、コマンドの00h～1Bhのドライブ命令または40h、41hのタイマ命令後に、同期スタート入力端子のSYNCがHighからLowになればパルス発振またはタイマがスタートします。

減速開始点制御コード

減速開始点制御は、4つのモードがあります。bit1 - 2で設定します。

コード2	コード1	内 容
0	0	自動演算
0	1	オフセット設定
1	0	マニュアル設定
1	1	減速を行わない

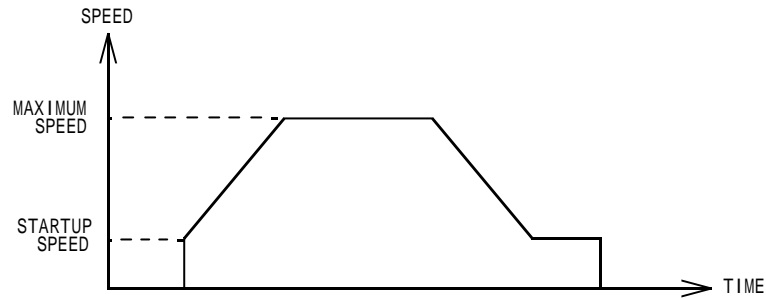
自動演算

このモードは加速レートと減速レートが同じ場合に使用できます。駆動開始時にカウンタDが0クリアされ、駆動中カウンタ動作を行います。残りパルス数管理用のカウンタCの値が、カウンタDの値以下になれば減速動作を開始します。起動前にカウンタDのプリセットの必要はありません。

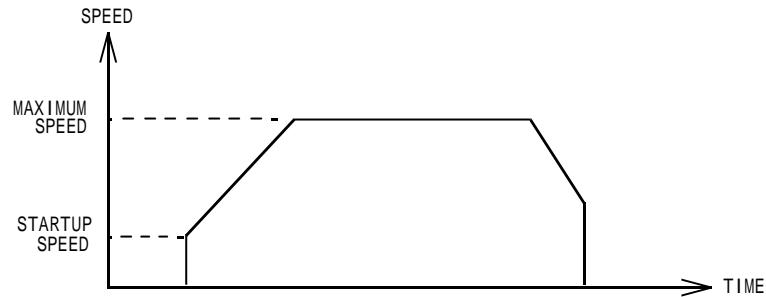
オフセット設定

このモードは駆動開始時にカウンタDが0クリアされず、駆動中はカウンタ動作を行います。残りパルス数管理用のカウンタCの値が、カウンタDの値以下になれば減速動作を開始します。オフセット値は、駆動前にプリセットします。設定値は、-8388608～8388607で2の補数形式でカウンタDにプリセットします。動作は次のようになります。

プラス値をプリセットした場合



マイナス値をプリセットした場合

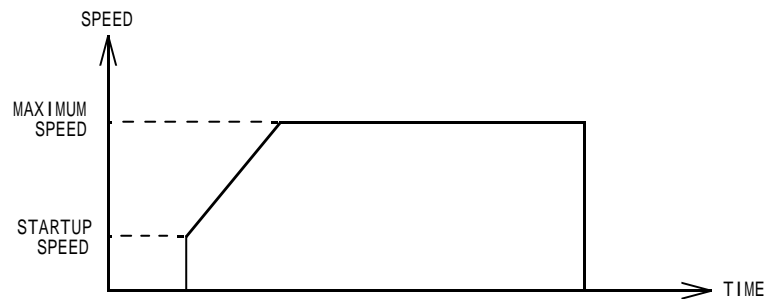


マニュアル設定

このモードは減速開始点の管理用カウンタDがカウント動作をせず、レジスタR₂として機能する。駆動開始時にも0クリアされません。残りパルス数管理用のカウンタCの値が、プリセットされたR₂レジスタ以下になれば減速動作を開始します。

減速開始点動作を行わない

このモードは次の様な動作になります。



7-1-2 カウンタAの制御レジスタ

表 7-2: カウンタAの制御

bit	内 容	
	0	1
0	エラー停止時に自動クリアせず	エラー停止時に自動クリアする
1	正常停止時に自動クリアせず	正常停止時に自動クリアする
2	未定義(常に0を設定)	
3	未定義(常に0を設定)	
4	未定義(常に0を設定)	
5	未定義(常に0を設定)	
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

7-1-3 CLR出力制御モードレジスタ

表 7-3: $\overline{\text{CLR}}$ 出力制御モードレジスタ

bit	内 容	
	0	1
0	エラー停止時に $\overline{\text{CLR}}$ を自動出力せず	エラー停止時に $\overline{\text{CLR}}$ を自動出力する
1	正常停止時に $\overline{\text{CLR}}$ を自動出力せず	正常停止時に $\overline{\text{CLR}}$ を自動出力する
2	未定義(常に0を設定)	
3	未定義(常に0を設定)	
4	未定義(常に0を設定)	
5	未定義(常に0を設定)	
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

8. 割り込み機能について

本LSIにはパルス出力要因、カウンタ要因、センサ要因による割り込み機能があります。各要因による割り込みはマスクできます。

8-1 各割り込みマスクレジスタ

8-1-1 パルス発振割り込みマスクレジスタ

表 8-1: パルス発振割り込みマスクレジスタ

bit	内 容	
	0	1
0	動作完了割り込み禁止	動作完了割り込み許可
1	エラー停止割り込み禁止	エラー停止割り込み許可
2	減速開始点割り込み禁止	減速開始点割り込み許可
3	等速度割り込み禁止	等速度割り込み許可
4	未定義(常に0を設定)	
5	未定義(常に0を設定)	
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

8-1-2 カウンタ割り込みマスクレジスタ

表 8-2: カウンタ割り込みマスクレジスタ

bit	内 容	
	0	1
0	カウンタAのキャリー割り込み禁止	カウンタAのキャリー割り込み許可
1	カウンタAのポロー割り込み禁止	カウンタAのポロー割り込み許可
2	未定義(常に0を設定)	
3	未定義(常に0を設定)	
4	未定義(常に0を設定)	
5	カウンタCのポロー割り込み禁止	カウンタCのポロー割り込み許可
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

8-1-3 センサ割り込みマスクレジスタ

表 8-3: センサ割り込みマスクレジスタ

bit	内 容	
	0	1
0	ORG1 による割り込み禁止	ORG1 による割り込み許可
1	\overline{EZ} による割り込み禁止	\overline{EZ} による割り込み許可
2	\overline{INO} による割り込み禁止	\overline{INO} による割り込み許可
3	\overline{MARK} による割り込み禁止	\overline{MARK} による割り込み許可
4	未定義(常に0を設定)	
5	未定義(常に0を設定)	
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

8-2 各割り込みフラグレジスタ

8-2-1 パルス発振割り込みフラグレジスタ

表 8-4: パルス発振割り込みフラグレジスタ

bit	内 容	
	0	1
0	動作完了割り込みフラグがOFF	動作完了割り込みフラグがON
1	エラー停止割り込みフラグがOFF	エラー停止割り込みフラグがON
2	減速開始点割り込みフラグがOFF	減速開始点割り込みフラグがON
3	等速度割り込みフラグがOFF	等速度割り込みフラグがON
4	未定義(常に0を設定)	
5	未定義(常に0を設定)	
6	未定義(常に0を設定)	
7	未定義(常に0を設定)	

8-2-2 カウンタ割り込みフラグレジスタ

表 8-5: カウンタ割り込みフラグレジスタ

bit	内 容	
	0	1
0	カウンタAのキャリー割り込みフラグがOFF	カウンタAのキャリー割り込みフラグがON
1	カウンタAのポロー割り込みフラグがOFF	カウンタAのポロー割り込みフラグがON
2	未定義(常に0)	
3	未定義(常に0)	
4	未定義(常に0)	
5	カウンタCのポロー割り込みフラグがOFF	カウンタCのポロー割り込みフラグがON
6	未定義(常に0)	
7	未定義(常に0)	

8-2-3 センサ割り込みフラグレジスタ

表 8-6: センサ割り込みフラグレジスタ

bit	内 容	
	0	1
0	ORG1 による割り込みフラグがOFF	ORG1 による割り込みフラグがON
1	EZ による割り込みフラグがOFF	EZ による割り込みフラグがON
2	INO による割り込みフラグがOFF	INO による割り込みフラグがON
3	MARK による割り込みフラグがOFF	MARK による割り込みフラグがON
4	未定義(常に0)	
5	未定義(常に0)	
6	未定義(常に0)	
7	未定義(常に0)	

9. ステータスレジスタについて

ステータスレジスタは表2-1のアドレス割付表の6番地でリードできる割り込み状態と7番地でリードできる動作状態の主ステータスと0番地のレジスタセレクトを設定し、読み出しデータ1~3でリードする補助ステータスがあります。

9-1 主ステータス

9-1-1 動作状態ステータス

動作状態ステータスは本LSIの最も全体的な状態を知ることができます。その内容はパルス出力の状態とパルス出力の終了状態そして割り込みの有無です。

表 9-1: 動作状態ステータス

bit	内 容	
	0	1
0	停止中	動作中
1	加速中ではない	加速中
2	減速中ではない	減速中
3	未定義(常に0)	
4	エラーフラグがOFF	エラーフラグがON
5	動作完了フラグがOFF	動作完了フラグがON
6	割り込みフラグがOFF	割り込みフラグがON
7	CLR がOFF	CLR がON

9-1-2 割り込み状態ステータス

この割り込み状態ステータスは、現在の割り込みがどのグループのものかを知ることができます。更に詳しく割り込みの要因を知るには、割り込みフラグレジスタをリードすることによりできます。

表 9-2: 割り込み状態ステータス

bit	内 容	
	0	1
0	パルス発振割り込みフラグがOFF	パルス発振割り込みフラグがON
1	カウンタ割り込みフラグがOFF	カウンタ割り込みフラグがON
2	センサ割り込みフラグがOFF	センサ割り込みフラグがON
3	未定義(常に0)	
4	未定義(常に0)	
5	未定義(常に0)	
6	未定義(常に0)	
7	未定義(常に0)	

9-2 補助ステータス

9-2-1 センサ状態ステータス

センサ状態ステータスはセンサ入力のリアルタイムの状態をリードすることができます。2 バイトの個別リードのレジスタで、表 2-1 のアドレス割付表のレジスタセクタをライトした後、読み出しデータ 1 で +EL、-EL と ALM の状態がリードでき、読み出しデータ 2 のアドレスで ORGI、EZ、+SLD、-SLD、INP、MARK の状態がリードできます。

表 9-3: センサ状態ステータス1

bit	内 容	
	0	1
0	+EL はOFF	+EL はON
1	-EL はOFF	-EL はON
2	ALM はOFF	ALM はON
3	未定義(常に0)	
4	未定義(常に0)	
5	未定義(常に0)	
6	未定義(常に0)	
7	未定義(常に0)	

表 9-4: センサ状態ステータス2

bit	内 容	
	0	1
0	ORGI はOFF	ORGI はON
1	EZ はOFF	EZ はON
2	+SLD はOFF	+SLD はON
3	-SLD はOFF	-SLD はON
4	INP はOFF	INP はON
5	MARK はOFF	MARK はON
6	未定義(常に0)	
7	未定義(常に0)	

9-2-2 正常停止要因

この正常停止要因ステータスは動作状態ステータスの停止フラグがONでかつエラーフラグがOFFのときの停止要因を知ることができます。ORGI および EZ がONのときは原点復帰の完了であり、+SLD または -SLD が ONのときはセンサによる減速停止です。

表 9-5: 正常停止要因ステータス

bit	内 容	
	0	1
0	ORGI はOFF	ORGI はON
1	EZ はOFF	EZ はON
2	+SLD はOFF	+SLD はON
3	-SLD はOFF	-SLD はON
4	未定義(常に0)	
5	未定義(常に0)	
6	未定義(常に0)	
7	未定義(常に0)	

9-2-3 エラー停止要因ステータス

このエラー停止要因ステータスは動作状態ステータスの停止フラグがONでかつエラーフラグがONのときの停止要因を知ることができます。

表 9-6: エラー停止要因ステータス

bit	内 容	
	0	1
0	+EL はOFF	+EL はON
1	$\overline{-EL}$ はOFF	$\overline{-EL}$ はON
2	ALM はOFF	ALM はON
3	未定義(常に0)	
4	未定義(常に0)	
5	未定義(常に0)	
6	未定義(常に0)	
7	未定義(常に0)	

9-2-4 汎用入力状態ステータス

このステータスは $\overline{IN0}$ ~ $\overline{IN7}$ 入力のリアルタイムの状態を知ることができます。

表 9-7: 汎用入力状態ステータス

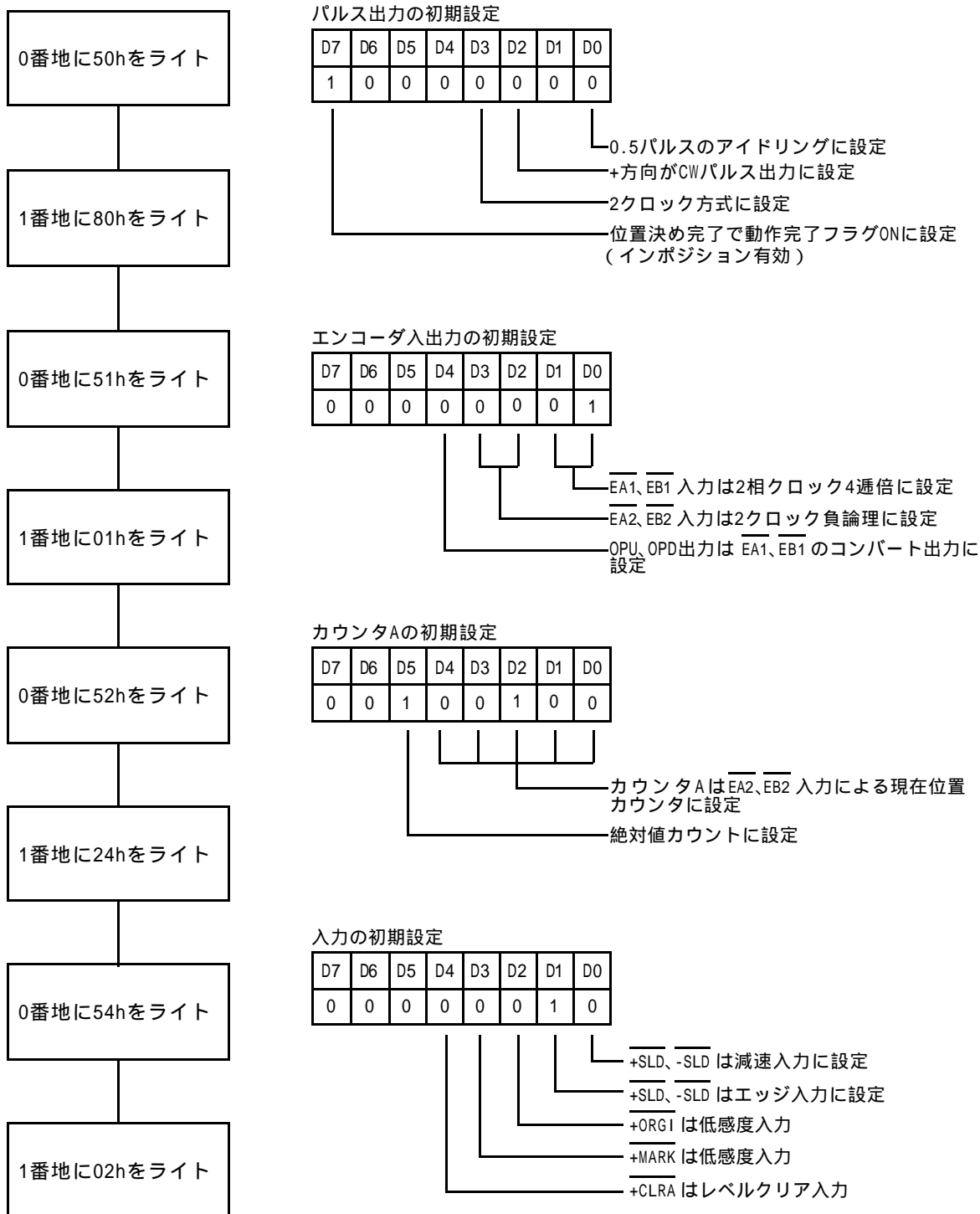
bit	内 容	
	0	1
0	$\overline{IN0}$ がOFF	$\overline{IN0}$ がON
1	$\overline{IN1}$ がOFF	$\overline{IN1}$ がON
2	$\overline{IN2}$ がOFF	$\overline{IN2}$ がON
3	$\overline{IN3}$ がOFF	$\overline{IN3}$ がON
4	$\overline{IN4}$ がOFF	$\overline{IN4}$ がON
5	$\overline{IN5}$ がOFF	$\overline{IN5}$ がON
6	$\overline{IN6}$ がOFF	$\overline{IN6}$ がON
7	$\overline{IN7}$ がOFF	$\overline{IN7}$ がON

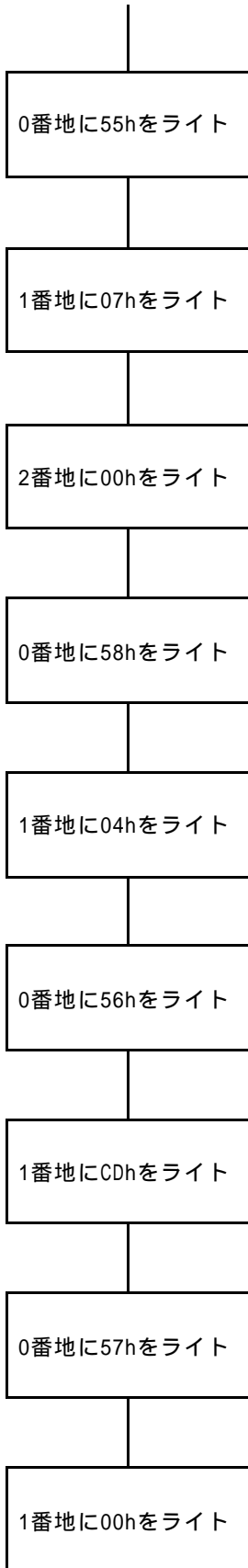
10. アプリケーション例

10-1 初期設定

パワーオンリセット後、必ず一度は 8 種類の初期設定レジスタを設定する必要があります。設定の順序は不変です。

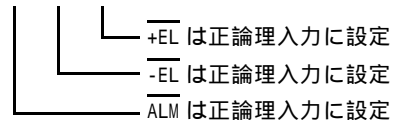
図 10-1: 初期設定フローチャート





入力論理の初期設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	1	1	1



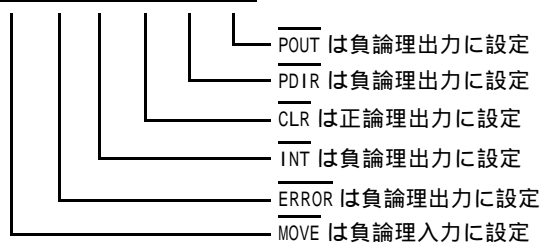
入力論理の初期設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0



出力論理の初期設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	1	0	0



入力フィルタの初期設定

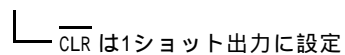
f (基準入力クロック周波数)=16.384MHz
 $F=CDh=205$

$$16 \times 205 \div 16,384,000 = 0.0002 \text{ sec}$$

$\overline{+EL}, \overline{-EL}, \overline{+SLD}, \overline{-SLD}, \overline{ALM}$ 入力の感度を0.2msecに設定

出力の初期設定

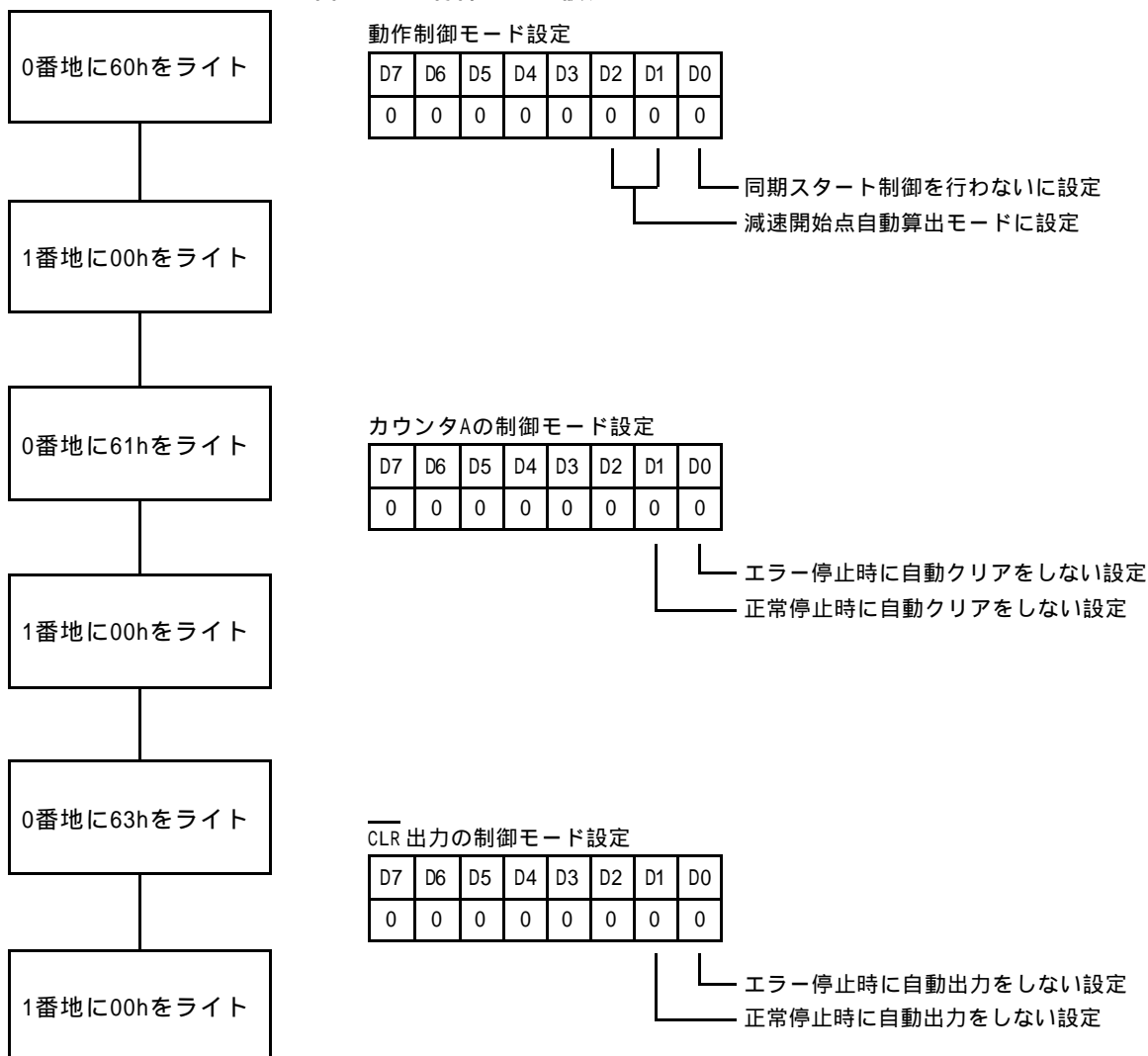
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0



10-2 制御モード設定

パワーオンリセット後、駆動の前に必ず1度設定する必要があります。設定の順序は不動ですが、動作モード設定レジスタに関しては、 R_1 レジスタの設定の前に変更します。制御モードの変更がない場合は、再設定の必要はありません。

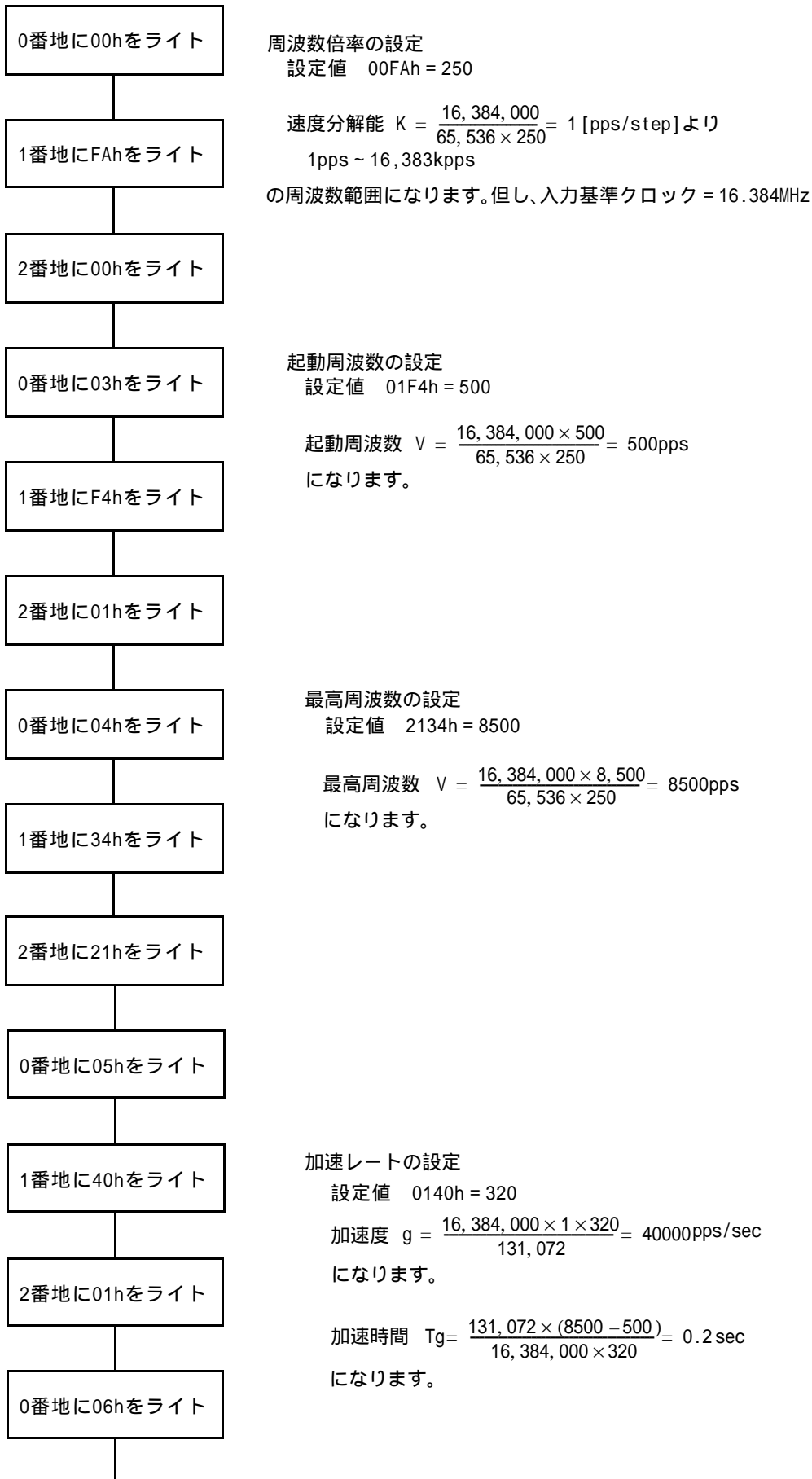
図 10-2: 制御モード設定のフローチャート

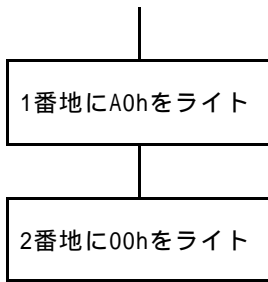


10-3 パラメータの設定

パラメータ設定レジスタのうち、出力パルス数設定レジスタ (R_1)、減速開始点設定レジスタ (R_2) は駆動コマンドのライトの直前に設定します。ここでは周波数倍率設定レジスタ (R_0)、起動周波数設定レジスタ (R_3)、最高周波数設定レジスタ (R_4)、加速レート設定レジスタ (R_5)、そして減速レート設定レジスタ (R_6) について説明します。これらのレジスタはパワーオンリセットの後に必ず一度は設定する必要がありますが、その後変更のないパラメータについては再設定の必要はありません。

図 10-3: パラメータ設定のフローチャート





減速レートの設定

設定値 00A0h = 160

$$\text{減速度 } g = \frac{16,384,000 \times 1 \times 160}{131,072} = 20000 \text{ pps/sec}$$

になります。

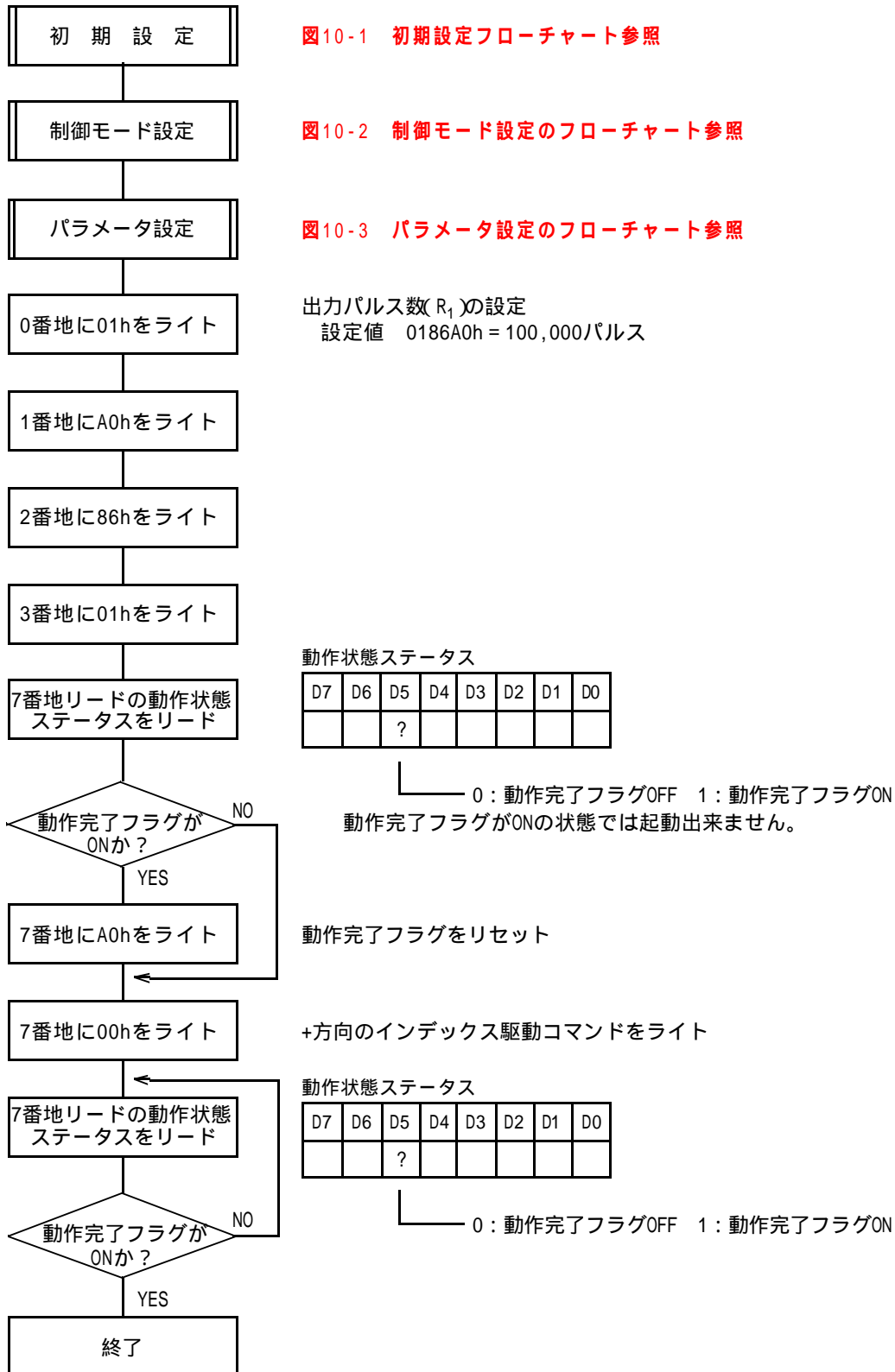
$$\text{減速時間 } Tg = \frac{131,072 \times (8500 - 500)}{16,384,000 \times 160} = 0.4 \text{ sec}$$

になります。

10-4 インデックス駆動

ここでは独立軸のインデックス駆動を例にします。減速開始点自動算出モードで駆動しますので、加速レート(R_5)と減速レート(R_6)は同じ設定値にします。動作の終了はステータスをポーリングすることで確認します。

図 10-4: インデックス駆動のフローチャート



10-5 原点復帰動作

原点復帰シーケンスには数多くのパターンがありますが、次のようなシーケンスと条件で説明します。また、**図 10-6** の原点復帰のフローチャートには、初期設定、パラメータ設定以降のフローを示します。

図 10-5: 原点復帰シーケンス

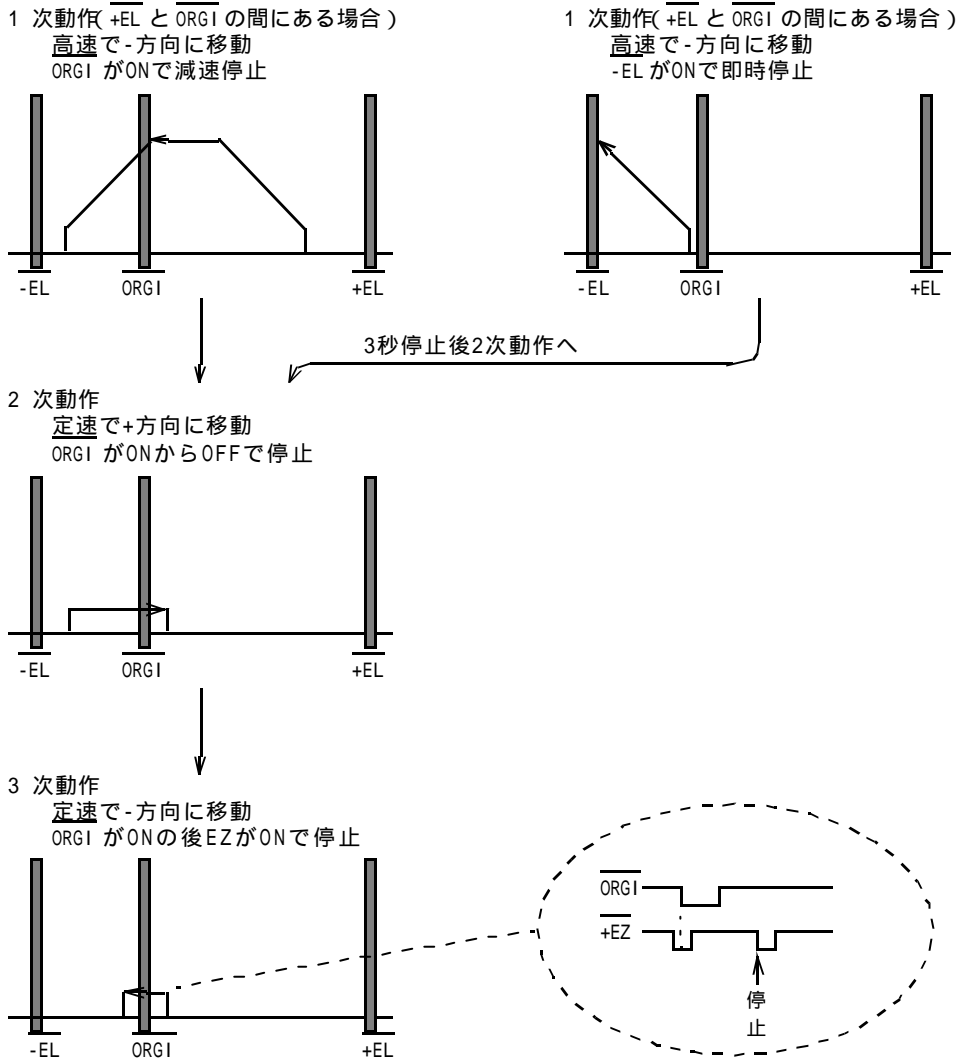
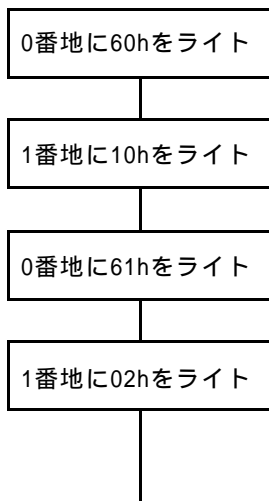


図 10-6: 原点復帰のフローチャート



動作制御モード設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0

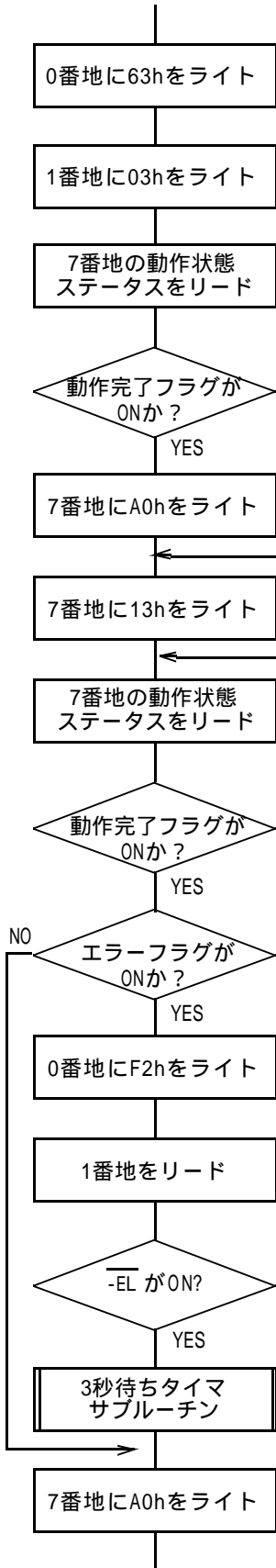
同期スタート制御を行わないに設定
減速開始点自動算出モードに設定

カウンタAの制御モード設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	1	0

エラー停止時に自動クリアをしない設定
正常時に自動クリアをする設定

原点復帰完了時に自動的に現在位置カウンタが0になるようにします。



停止時に偏差カウンタが0になるように設定します。

CLR 出力の制御モード設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	1	1

エラー停止時に自動出力をする設定

正常停止時に自動出力をする設定

停止時に1ショット出力をしサーボドライバの溜まりパルスをなくします。

動作状態ステータス

D7	D6	D5	D4	D3	D2	D1	D0
		?					

0 : 動作完了フラグOFF 1 : 動作完了フラグON

動作完了フラグがONの状態では起動出来ません。

停止フラグをリセット

原点復帰 (-方向)コマンド

加減速を伴った原点復帰動作です。ORG1 がアクティブになると減速停止します。

動作状態ステータス

D7	D6	D5	D4	D3	D2	D1	D0
		?					

0 : 動作完了フラグがOFF 1 : 動作完了フラグがON

動作状態ステータス

D7	D6	D5	D4	D3	D2	D1	D0
			?				

0 : エラーフラグがOFF 1 : エラーフラグがON

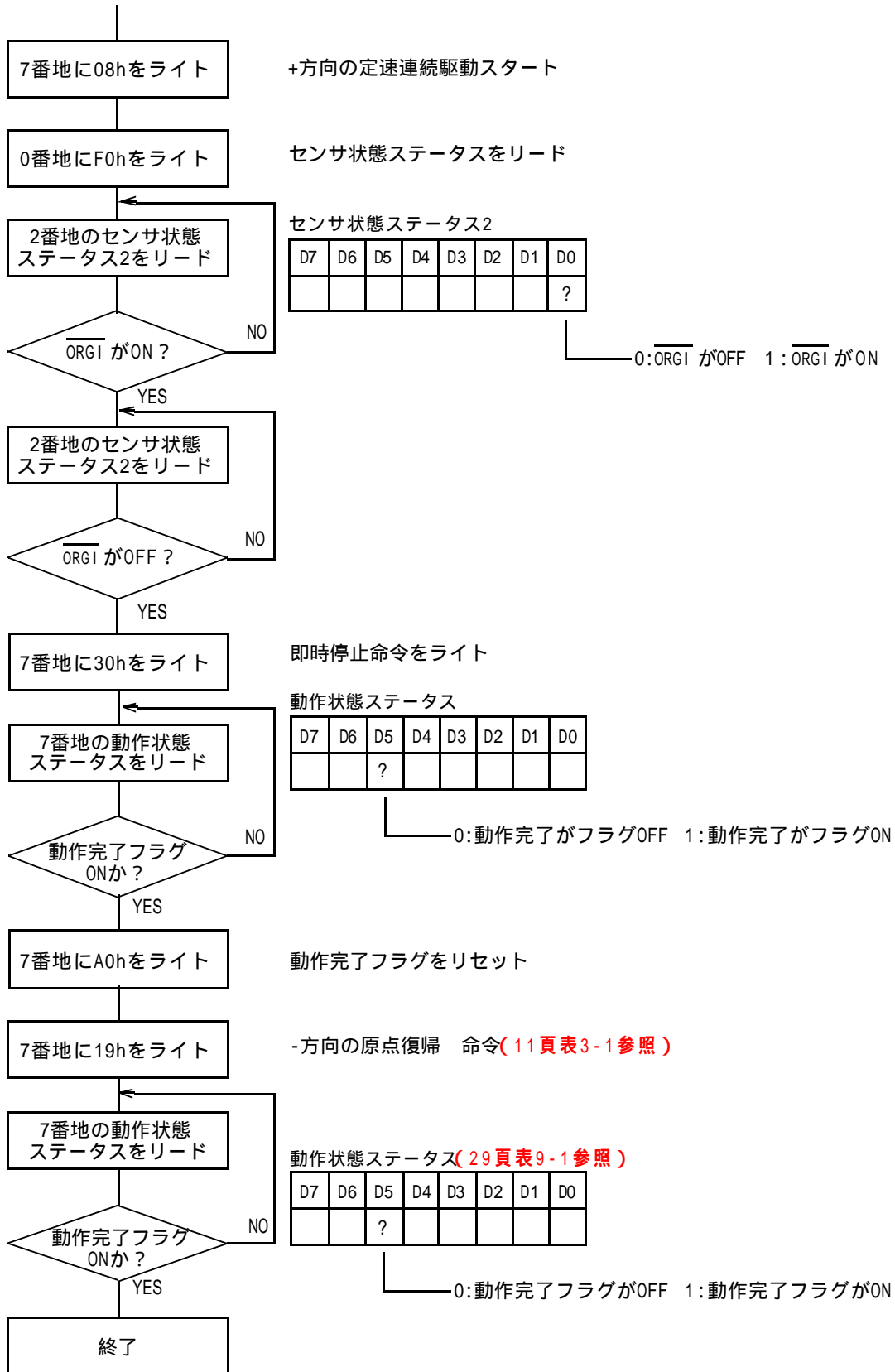
エラー停止要因ステータス

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	?	?	?

2h : -EL がON

その他 : エラー停止

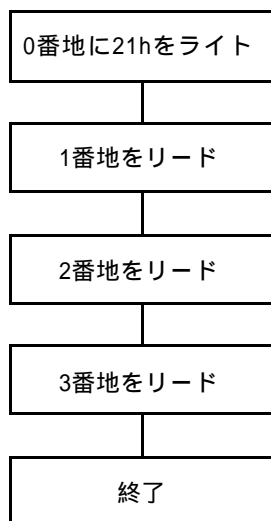
エラールーチンへ



10-6 カウンタのリード

カウンタA、C、Dがリードできます。ここではカウンタAを例にします。

図 10-7: カウンタAリードのフローチャート



レジスタセレクトコードを21h(カウンタA)に設定します。
カウンタをリードするときは毎回セレクトコードをライトします。
最下位の1バイト目をリードします。
次に中位の2バイト目をリードします。
最後に上位の3バイト目をリードします。
必ず最上位のバイトまでリードします。

11. 電気的特性

11-1 絶対最大定格 (V_{SS}=0V)

項目	記号	定 格	単 位
電 源 電 圧	V _{DD}	-0.3 ~ +7.0	V
入 力 電 圧	V _{IN}	-0.3 ~ V _{DD} +0.3	V
入 力 電 流	I _{IN}	± 10	mA
保 存 温 度	T _{stg}	-40 ~ +125	

11-2 推奨動作条件 (V_{SS}=0V)

項目	記号	定 格	単 位
電 源 電 圧	V _{DD}	4.75 ~ 5.25	V
周 囲 温 度	T _a	0 ~ +70	

11-3 DC特性 (V_{DD}=5V ±5%、T_a=0 ~ +70)

項 目	記号	条 件	MIN.	TYP.	MAX.	単位
高レベル入力電圧	V _{IH}		4.0			V
低レベル入力電圧	V _{IL}				1.0	V
高レベル入力電流	I _{IH}	V _{IN} =V _{DD}	-10		10	μA
低レベル入力電流*1	I _{IL}		-10		10	μA
低レベル入力電流*2		V _{IH} =V _{SS}	-200		-10	
高レベル出力電圧*3	V _{OH}	I _{OH} =-4mA	2.4			V
高レベル出力電圧*4		I _{OH} =-8mA				
高レベル出力電圧*5		I _{OH} =-16mA				
高レベル出力電圧*3*4*5		I _{OH} =-1 μA	V _{DD} -0.05			
低レベル出力電圧*3	V _{OL}	I _{OL} =4mA			0.4	V
低レベル出力電圧*6		I _{OL} =8mA				
低レベル出力電圧*5		I _{OL} =16mA				
低レベル出力電圧*3*5*6		I _{OL} =1 μA			V _{SS} +0.05	
出力リーク電流	I _{OZ}	V _{OUT} =V _{DD} or V _{SS}	-10		10	μA
ヒステリシス電圧*2	V _H			1.5		V
静的消費電流	I _{DD}	V _{IN} =V _{DD} or V _{SS}			100	μA

*1 $\overline{DO} \sim 7$, \overline{CLK} , $\overline{A0} \sim 2$, \overline{CS} , \overline{WR} , \overline{RD} , \overline{RST}

*2 \overline{INP} , \overline{ALM} , $\overline{+EL}$, $\overline{-EL}$, $\overline{+SLD}$, $\overline{-SLD}$, \overline{ORGI} , \overline{EZ} , $\overline{IN0} \sim 7$, \overline{CLRA} , $\overline{EA1}$, $\overline{EB1}$, $\overline{EA2}$, $\overline{EB2}$, \overline{SYNC} , \overline{MARK}

*3 \overline{OCLK} , \overline{OPU} , \overline{OPD}

*4 $\overline{DO} \sim 7$

*5 \overline{SON} , \overline{CLR} , \overline{ERROR} , \overline{MOVE} , \overline{POUT} , \overline{PDIR} , $\overline{OUT0} \sim 7$

*6 $\overline{DO} \sim 7$, \overline{INT}

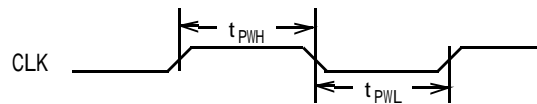
11-4 スイッチング特性

11-4-1 CPUインターフェース

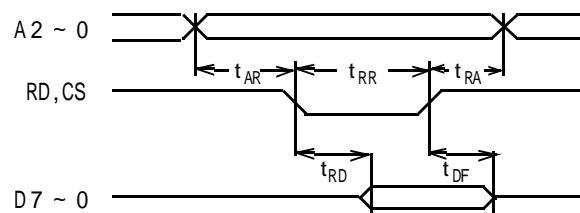
項目	略号	条件	MIN	TYP	MAX	単位
クロック周波数	f_{CLK}				16,384	MHz
クロック周期	t_{CLK}		61			ns
クロックLow時間	t_{PWL}		27			ns
クロックHigh時間	t_{PWH}		27			ns
リードアドレス安定時間	t_{AR}		3			ns
リードアドレス保持時間	t_{RA}		5			ns
リードパルス幅	t_{RR}		30			ns
データ遅延時間	t_{RD}	CL=100pF			20	ns
データフロート遅延時間	t_{DF}	CL=100pF			20	ns
ライトアドレス安定時間	t_{AW}		10			ns
ライトアドレス保持時間	t_{WA}		0			ns
ライトパルス幅	t_{WW}		15			ns
データ設定時間	t_{DW}		10			ns
データ保持時間	t_{WD}		0			ns
リセットパルス幅	t_{RST}		$3t_{CLK}$			ns
リセット動作時間	t_{RSTM}				$3t_{CLK}$	ns

t_{CLK} : 基準クロック周期 (最小61nsec)

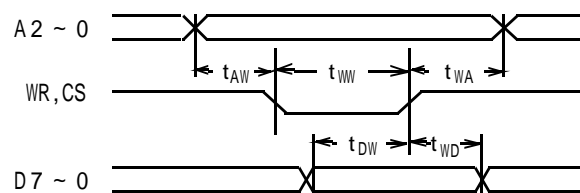
クロック



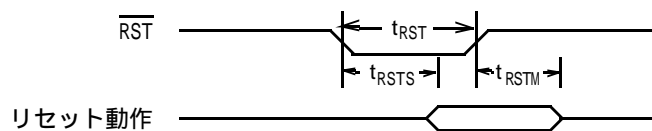
リードサイクル



ライトサイクル



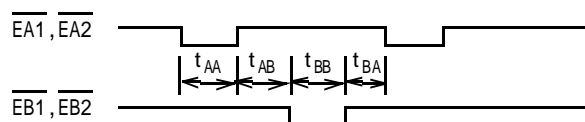
リセットサイクル



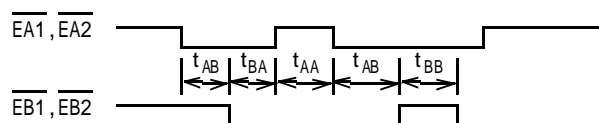
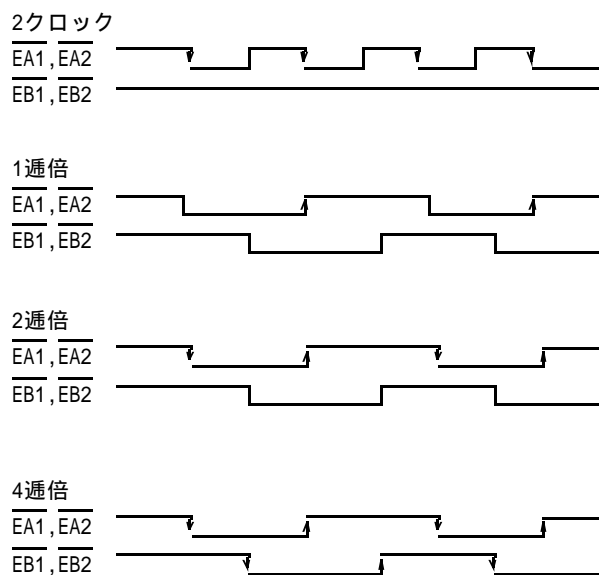
11-4-2 エンコーダインターフェース

項目	記号	MIN	TYP	MAX	単位
A相のエッジの次にB相のエッジが発生した場合のエッジ間隔	t_{AB}	$2.5t_{CLK}$			ns
B相のエッジの次にA相のエッジが発生した場合のエッジ間隔	t_{BA}	$2.5t_{CLK}$			ns
A相のエッジの次にA相のエッジが発生した場合のエッジ間隔	t_{AA}	$2.5t_{CLK}$			ns
B相のエッジの次にB相のエッジが発生した場合のエッジ間隔	t_{BB}	$2.5t_{CLK}$			ns

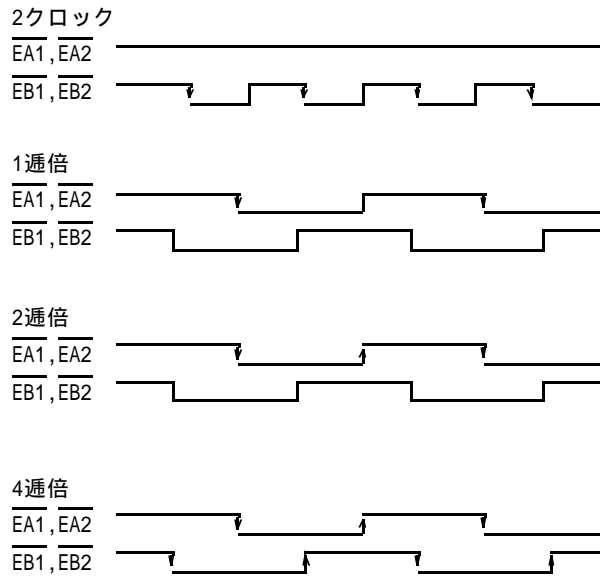
2クロック入力



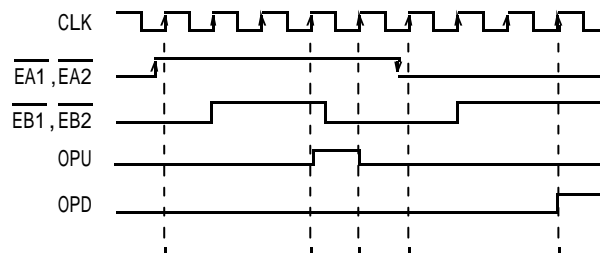
2相クロック入力

エンコーダ入力カウントタイミング(正カウント設定の場合)
アップカウント

ダウンカウント



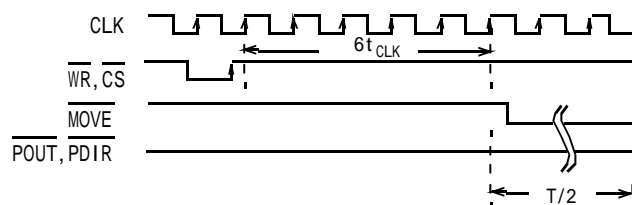
エンコーダコンバータ出力タイミング



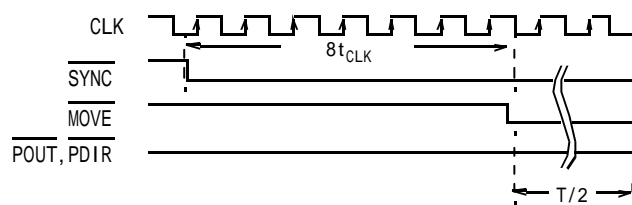
11-4-3 入出力インターフェース

パルス出力開始

非同期スタートモード



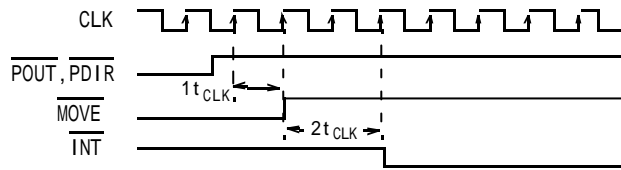
同期スタートモード



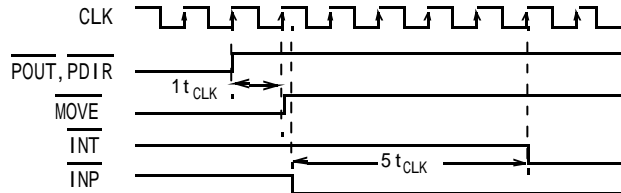
T : 起動周波数の1周期

パルス停止

パルス出力完了で動作完了の設定



位置決め完了で動作完了の設定



最新情報は、ホームページでご案内しております

<http://www.kyopal.co.jp/>

製品に関する技術的なお問い合わせは…

support@kyopal.co.jp

取扱店

制御ボード&オリジナルLSIで、FA要素技術を提案する

株式会社 **キョーパル**

京都市下京区西七条東石ヶ坪町24 〒600-8895

TEL(075)326-2580(代) / FAX(075)326-2581

●製品改良のため、予告なく仕様を変更する事がありますので、ご了承ください。

平成12年12月 改訂第2.0版