

高速度S字加減速パルスジェネレータLSI

---

**X3203A**

ユーザーズマニュアル

---



1. X3203Aの概要	1
1-1 はじめに	1
1-2 特長	1
1-3 ブロック図	3
1-4 仕様一覧	4
1-5 パッケージ寸法図	5
1-6 ピン配置および端子説明	6
1-6-1 端子説明	6
1-6-2 ピン配置	10
1-7 システムの構成	10
1-8 CPUとのインターフェース例	11
1-8-1 Z80とのインターフェース例	11
1-8-2 68000とのインターフェース例	11
2. アドレス割付とデータのリード・ライト	12
2-1 アドレス割付表	12
3. コマンドの種類と機能	13
3-1 コマンドのライト	13
3-2 コマンド一覧	13
4. 各種レジスタと内部カウンタについて	19
4-1 レジスタとカウンタの一覧	19
4-2 レジスタとカウンタのリード・ライト	20
4-2-1 1バイトのレジスタのリードとライト	20
4-2-2 2バイトのレジスタのリードとライト	20
4-2-3 3バイトのレジスタとカウンタのリードとライト	20
4-2-4 4バイトのカウンタのリードとライト	20
5. パルス出力に関する各パラメータについて	21
5-1 パラメータの種類	21
5-1-1 周波数倍率設定レジスタ (R0レジスタ)	21
5-1-2 出力パルス数設定レジスタ (R1レジスタ)	21
5-1-3 減速開始点設定レジスタ (R2レジスタ)	21
5-1-4 起動周波数設定レジスタ (R3レジスタ)	21
5-1-5 最高周波数設定レジスタ (R4レジスタ)	21
5-1-6 加速レート設定レジスタ (R5レジスタ)	21
5-1-7 減速レート設定レジスタ (R6レジスタ)	21
5-1-8 S字加減速区間設定レジスタ (R7レジスタ)	22
5-1-9 直線補間基数設定レジスタ (R8レジスタ)	22
5-2 パラメータの計算式	22
6. 初期設定レジスタについて	23
6-1 各初期設定レジスタの機能	23
6-1-1 パルス出力初期設定レジスタ	23
6-1-2 エンコーダ入出力の初期設定レジスタ	24
6-1-3 カウンタA、B初期設定レジスタ	24
6-1-4 入力の初期設定レジスタ	25
6-1-5 入力論理の初期設定レジスタ	25
6-1-6 入力フィルタの初期設定レジスタ(F)	26
6-1-7 出力の初期設定レジスタ	26
6-1-8 出力論理の初期設定レジスタ	27

<b>7. 制御モードレジスタについて</b>	. 28
7-1 各制御モードレジスタの機能	. 28
7-1-1 動作制御モード設定レジスタ	. 28
7-1-2 カウンタA、Bの制御レジスタ	. 30
7-1-3 CLR出力制御モードレジスタ	. 30
7-1-4 コンパレータ制御モード設定レジスタ	. 30
<b>8. 割り込み機能について</b>	. 32
8-1 各割り込みマスクレジスタ	. 32
8-1-1 パルス発振割り込みマスクレジスタ	. 32
8-1-2 カウンタ割り込みマスクレジスタ	. 32
8-1-3 センサ割り込みマスクレジスタ	. 33
8-1-4 コンパレータ割り込みマスクレジスタ	. 33
8-2 各割り込みフラグレジスタ	. 33
8-2-1 パルス発振割り込みフラグレジスタ	. 33
8-2-2 カウンタ割り込みフラグレジスタ	. 34
8-2-3 センサ割り込みフラグレジスタ	. 34
8-2-4 コンパレータ割り込みフラグレジスタ	. 34
<b>9. ステータスレジスタについて</b>	. 35
9-1 主ステータス	. 35
9-1-1 動作状態ステータス	. 35
9-1-2 割り込み状態ステータス	. 35
9-2 補助ステータス	. 36
9-2-1 センサ状態ステータス	. 36
9-2-2 正常停止要因ステータス	. 37
9-2-3 エラー停止要因ステータス	. 37
9-2-4 汎用入力状態ステータス	. 38
9-2-5 コンパレータ状態ステータス	. 38
<b>10. アプリケーション例</b>	. 39
10-1 初期設定	. 39
10-2 制御モード設定	. 41
10-3 パラメータの設定	. 43
10-4 インデックス駆動	. 46
10-5 原点復帰動作	. 48
10-6 直線補間駆動	. 53
10-6-1 ハードウェアの注意点	. 53
10-6-2 直線補間駆動のフロー	. 53
<b>11. 電気的特性</b>	. 57
11-1 絶対最大定格 (V <sub>SS</sub> =0V)	. 57
11-2 推奨動作条件 (V <sub>SS</sub> =0V)	. 57
11-3 DC特性 (V <sub>DD</sub> =5V ± 5%、T <sub>a</sub> =0 ~ +70 )	. 57
11-4 スイッチング特性	. 58
11-4-1 CPUインターフェース	. 58
11-4-2 エンコーダインターフェース	. 59
11-4-3 入出力インターフェース	. 60

## 1. X3203A の概要

### 1-1 はじめに

X3203A はパルス列入力型サーボモータ及びステッピングモータの速度制御と位置決め制御を目的とするパルス発生 LSI です。

内部構成は、S 字または直線加減速パルス発生器、直線補間分周器、台形または三角駆動の自動減速点算出器、現在位置カウンタや偏差カウンタとして使用できる2本のマルチカウンタとエンコーダ入力の2相クロックコンバータ、原点復帰センサインターフェース、リミットセンサインターフェース、サーボドライバインターフェース、8ビット汎用入力と8ビット汎用出力を備えています。

ホストCPU とのインターフェースが用意されていますので周辺 LSI として使用できます。

### 1-2 特長

#### CPU インターフェース

対象マイコン	80系、68系など
アドレス占有域	3ビット(8バイト)
データビット幅	8ビット

#### 駆動命令

インデックス駆動
連続パルス駆動
原点復帰駆動
センサ位置決め駆動

#### 駆動モード

加減速モード	S字(正弦、放射線)、直線
減速開始点	自動算出、マニュアル設定、オフセット設定
同期モード	多軸直線補間、同期スタート

#### エンコーダカウンタ

カウンタ数	2本
ビット長	24ビット、32ビット切り替え式
カウント入力	内部パルス単独、外部入力パルス単独、内部パルスと外部入力パルス、外部入力パルスと外部入力パルス

#### エンコーダコンバータ入力

チャンネル数	2チャンネル
入力形態	2クロック、90°位相差2相クロック
逓倍	1逓倍、2逓倍、4逓倍

#### コンパレータ

ビット長	24ビット
比較対象	レジスタとカウンタ、カウンタとカウンタ
比較方式	=、>
比較出力	1点(=または>)

#### I/O

入力	8点
出力	8点

## その他

加速、減速別設定機能

タイマ機能

入力フィルタ機能

割り込み機能

入出力論理切り替え

各種ステータス機能

クロック 16.384MHz (MAX)

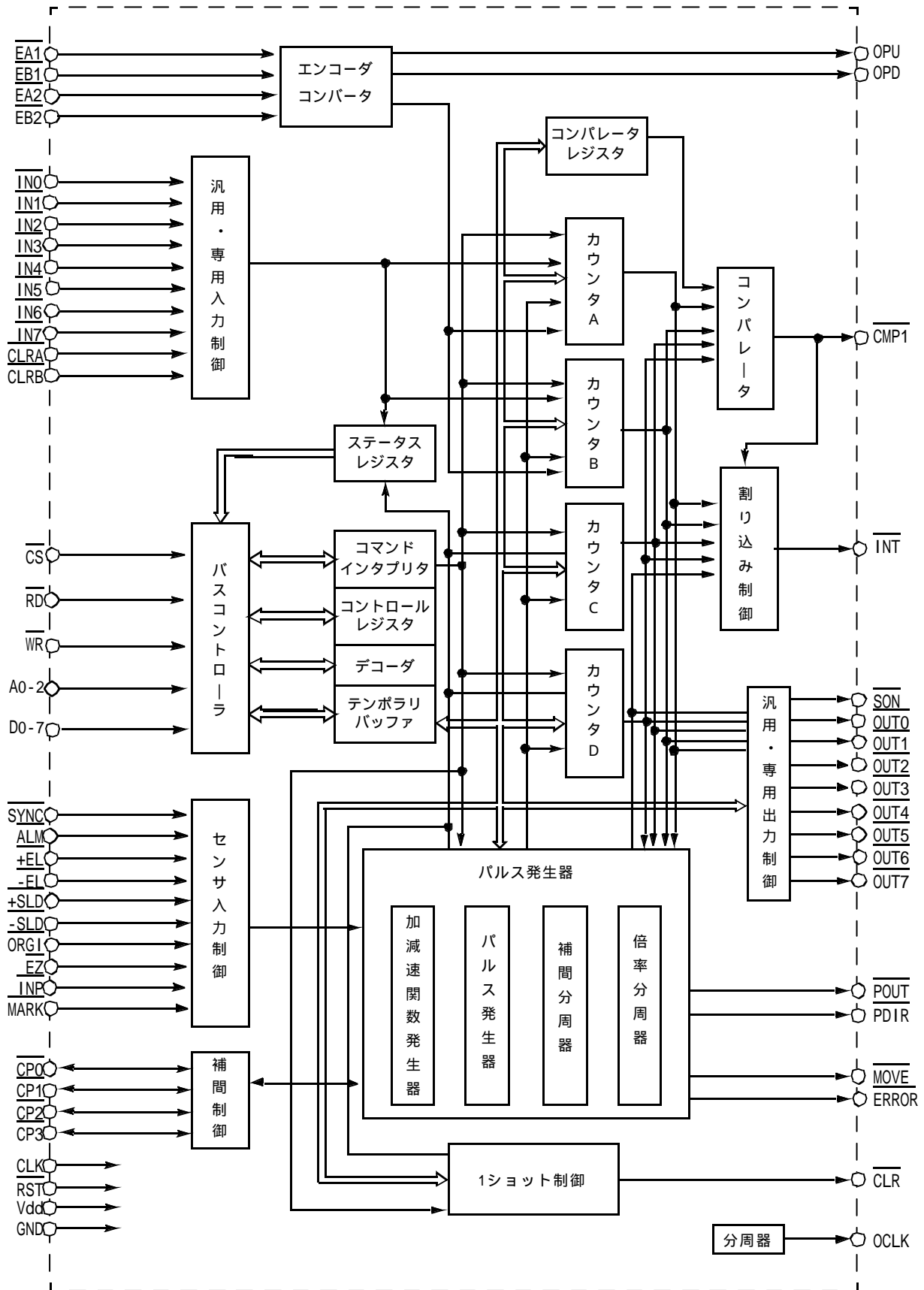
テクノロジー CMOS、5V 単一電源

動作温度範囲 0 ~ 70

パッケージ 80pin QFP 14 × 20 (mm)

1-3 ブロック図

図 1-1: ブロック図



## 1-4 仕様一覧

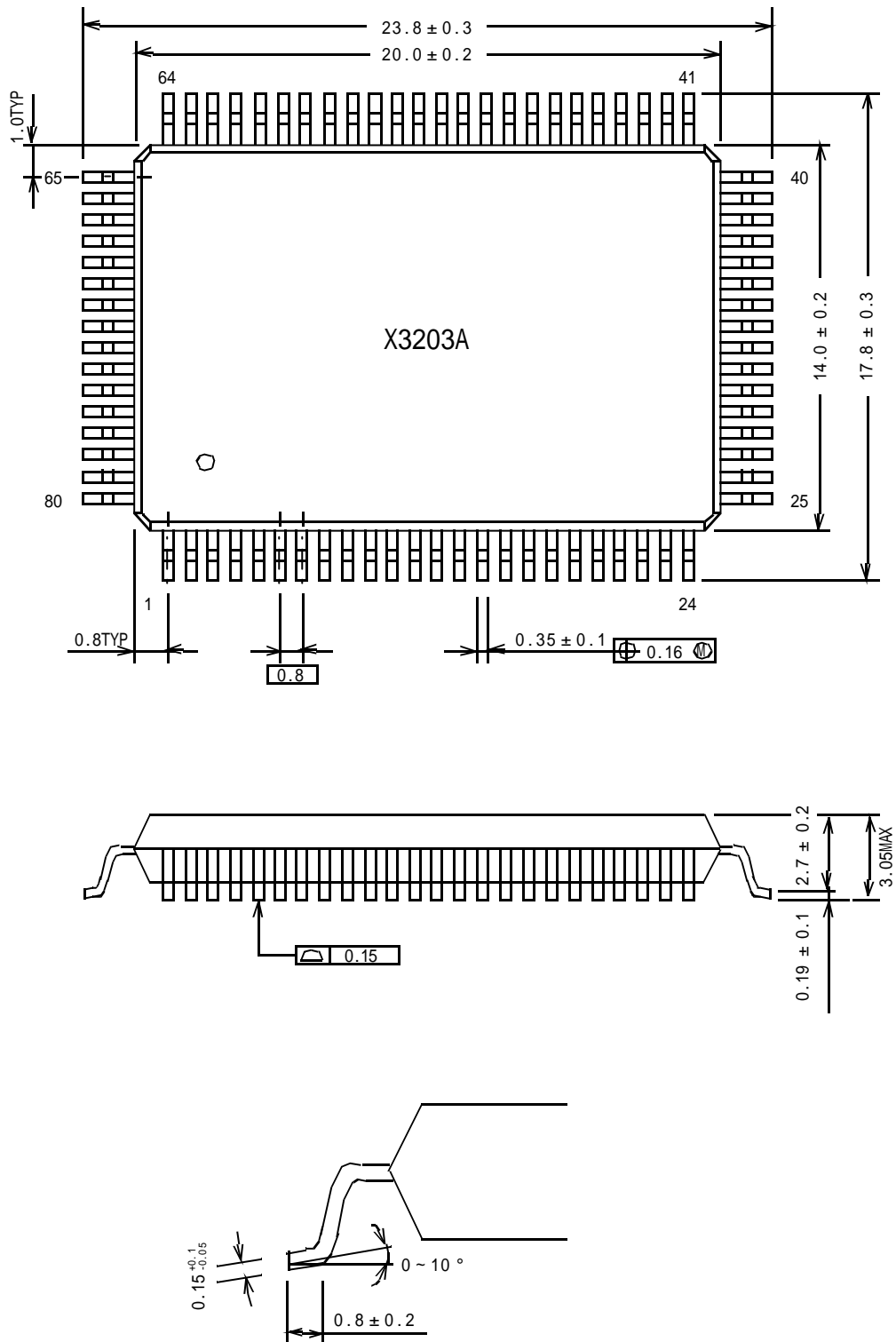
表 1-1:仕様一覧

項目	内容
電源電圧	5V ± 5%
入出力レベル	CMOS レベル
最大入力クロック (f)	16.384MHz (5V ± 5%、0 ~ 70 )
最大出力周波数	直線加減速 4Mpps S字加減速 2.5Mpps
加減速時間	約 8msec ~ 131sec (但し、16382 ステップ。 f = 16.384MHz)
出力パルス数設定範囲 (R <sub>1</sub> )	1 ~ 16,777,215
減速開始点設定範囲 (R <sub>2</sub> )	0 ~ 16,777,215 (マニュアル設定) -8388608 ~ 8388607 (自動算出オフセット設定)
周波数倍率設定範囲 (R <sub>0</sub> )	1 ~ 4095
周波数設定ステップ数 (R <sub>3</sub> ,R <sub>4</sub> )	直線加減速 S字加減速かつ減速点マニュアル設定 1 ~ 16383 S字加減速かつ減速開始点自動算出モード 1 ~ 10000
加減速レート設定範囲 (R <sub>5</sub> ,R <sub>6</sub> )	1 ~ 16383
S字区間設定範囲 (R <sub>7</sub> )	1 ~ 8191
センサ入力感度設定範囲 (F)	0 ~ 255 約 0.98 ~ 250 μsec (f = 16.384MHz)
ドライバインターフェース	出力 クロック出力 ゲートコントロール / 2クロック切替え可。 論理切替え可。 1 ショット出力 約 1.9 μsec (f = 16.384MHz) 論理切替え可。 サーボ ON 出力 汎用出力。 入力 ドライバアラーム入力 1点。 論理切替え可。 位置決め完了入力 1点。 論理切替え可。
センサ入力	エンドリミット入力 2点。+方向、-方向。論理切替え可。 スローダウン入力 2点。+方向、-方向。論理切替え可。 スローダウン、スローダウン停止切替え可。 原点入力 2点。オリジン、Z相。論理切替え可。 マークセンサ入力 1点。論理切替え可。
汎用入出力	入力 8点 出力 8点
エンコーダインターフェース	入力 2チャンネル、2クロック、1、2、4 逓倍 出力 コンバータ出力。1チャンネル。
その他の入出力	同期スタート入力 カウンタクリア入力 2点。 コンパレータ出力 1点。
動作温度	0 ~ 70
保存温度	-40 ~ +125
形状	80PIN プラスチック QFP 14 × 20 (mm)



## 1-5 パッケージ寸法図

図 1-2: パッケージ寸法図



## 1-6 ピン配置および端子説明

## 1-6-1 端子説明

表 1-2: 端子説明

端子番号	信号名	I/O	論理	内 容
3, 33, 43, 73	Vdd	-		+5V ± 5% 電源入力です。
12,21,52, 54,64	GND	-		0V 電源入力です。
20	CLK	I	正	基準クロック入力です。最大入力周波数 16.384MHz。 デューティ 50 ± 10%
19	$\overline{\text{RST}}$	I	負	リセット信号です。基準クロックの 3 周期以上の Low 入力により本 LSI は初期化されます。
16	$\overline{\text{CS}}$	I	負	チップセレクト信号です。この端子が Low になる事により本 LSI にアクセスできます。
18	$\overline{\text{RD}}$	I	負	リードイネーブル信号です。 $\overline{\text{CS}}$ が Low でかつ $\overline{\text{RD}}$ が Low の時にデータの読み出しができます。
17	$\overline{\text{WR}}$	I	負	ライトイネーブル信号です。 $\overline{\text{CS}}$ が Low の時、 $\overline{\text{WR}}$ が Low から High になるエッジでデータを取り込みます。
13 14 15	A0 A1 A2	I	正	A0 (LSB) から A2 (MSB) の 3 ビットアドレスバスです。
4 5 6 7 8 9 10 11	D0 D1 D2 D3 D4 D5 D6 D7	I/O	正	ホストCPU との間でデータ転送を行う D0 (LSB) から D7 (MSB) の 8 ビット双方向性データバスです。この端子の出力バッファはトライステートになっています。
2	$\overline{\text{INT}}$	O	正負	割り込み要求信号です。パルス出力、カウンタ、センサ、コンパレータの各要因によりアクティブになります。この端子は Low またはハイインピーダンスの状態になります。 この $\overline{\text{INT}}$ 出力は割り込み制御レジスタによりマスクすることが出来ます。また、割り込み要因ごとの割り込みフラグリセットコマンドを書き込むことにより割り込み要求を解除できます。
35	$\overline{\text{ALM}}$	I	正負	ドライバアラーム用の非常停止入力です。入力の論理は入力論理設定レジスタで切り替えができます。入力の感度は、入力感度設定レジスタにより基準クロック周期の 16 ~ 4096 倍まで設定ができます。
36	$\overline{+\text{EL}}$	I	正負	+ 方向の即時停止エンドリミット入力です。入力の論理は入力論理設定レジスタで切り替えができます。入力の感度は、入力感度設定レジスタにより基準クロック周期の 16 ~ 4096 倍まで設定ができます。
37	$\overline{-\text{EL}}$	I	正負	- 方向の即時停止エンドリミット入力です。入力の論理は入力論理設定レジスタで切り替えができます。入力の感度は入力感度設定レジスタにより基準クロック周期の 16 ~ 4096 倍まで設定ができます。

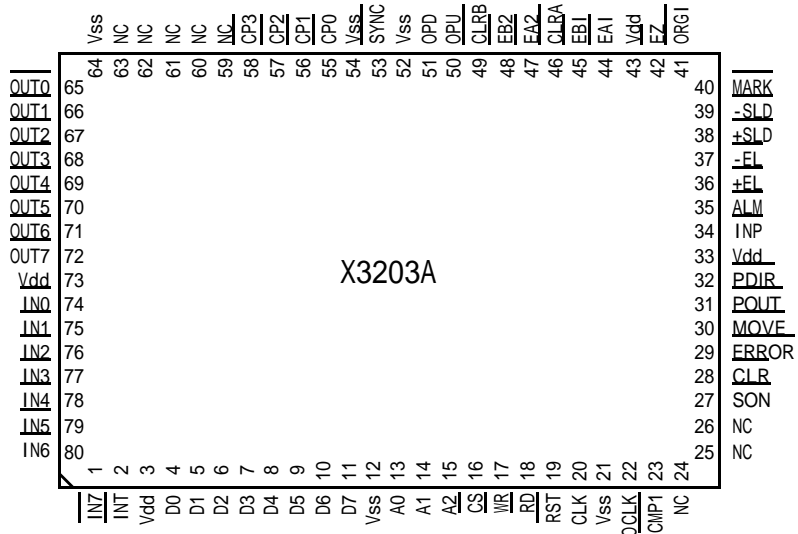
端子番号	信号名	I/O	論理	内 容
38	$\overline{+SLD}$	I	正負	+方向のスローダウンリミット入力です。スローダウンまたはスローダウン停止の切り替えは入力モード設定レジスタでできます。入力の感度は、入力感度設定レジスタにより基準クロック周期の16～4096倍まで設定ができます。レベルまたはエッジ動作です。
39	$\overline{-SLD}$	I	正負	-方向のスローダウンリミット入力です。スローダウンまたはスローダウン停止の切り替えは入力モード設定レジスタでできます。入力の感度は、入力感度設定レジスタにより基準クロック周期の16～4096倍まで設定ができます。レベルまたはエッジ動作です。
41	$\overline{ORGI}$	I	正負	原点センサ入力です。機械原点復帰駆動では、 $\overline{ORGI}$ 入力単独の原点復帰動作と $\overline{ORGI}$ 入力と $\overline{EZ}$ (エンコーダZ相) 入力とで行う原点復帰動作があります。エッジ動作です。入力の感度は基準クロックの1または16周期です。
42	$\overline{EZ}$	I	正負	エンコーダのZ相入力です。機械原点復帰駆動の $\overline{ORGI}$ 入力と $\overline{EZ}$ 入力とで行う原点復帰動作では、 $\overline{ORGI}$ がアクティブになり減速を完了した後に $\overline{EZ}$ 入力 がアクティブになれば停止します。入力の感度は基準クロックの1周期のサンプリングによるエッジ動作です。
34	$\overline{INP}$	I	正負	サーボドライバの位置決め完了入力です。初期設定レジスタで位置決め完了で停止フラグONの設定のときは、パルス出力完了後に $\overline{INP}$ 入力 がアクティブになれば動作完了フラグがONになります。正常停止割り込みの場合も同様に $\overline{INT}$ 出力がアクティブになります。
40	$\overline{MARK}$	I	正負	センサ位置決め開始入力です。センサ位置決め駆動のとき $\overline{MARK}$ 入力 がアクティブになったところから設定パルス数を出力します。入力の感度は基準クロックの1または16周期です。
74 75 76 77 78 79 80 1	$\overline{IN0}$ $\overline{IN1}$ $\overline{IN2}$ $\overline{IN3}$ $\overline{IN4}$ $\overline{IN5}$ $\overline{IN6}$ $\overline{IN7}$	I	負	$\overline{IN0}$ (LSB) から $\overline{IN7}$ (MSB) は8ビットパラレル入力です。 $\overline{IN0}$ は High から Low の変化で割り込みができます。
46	$\overline{CLRA}$	I	負	$\overline{CLRA}$ が Low のときマルチカウンタAは0にクリアされます。レベル動作またはエッジ動作の切り替えができます。
49	$\overline{CLRB}$	I	負	$\overline{CLRB}$ が Low のときマルチカウンタBは0にクリアされます。レベル動作またはエッジ動作の切り替えができます。
31	$\overline{POUT}$	O	正負	指令パルス出力です。2パルス方式のときはCW方向のパルス出力をします。パルス/方向方式のときはパルス出力をします。出力の論理は出力論理レジスタで切り替えができます。
32	$\overline{PDIR}$	O	正負	方向出力または指令パルス出力です。2パルス方式のときはCCW方向のパルス出力をします。パルス/方向方式のときは方向出力をします。出力の論理は出力論理レジスタで切り替えができます。
28	$\overline{CLR}$	O	正負	サーボドライバの偏差カウンタクリア用の1ショットまたは汎用出力です。1ショットまたは汎用出力の切り替えは出力の初期設定レジスタで行います。1ショットのパルス幅は基準クロックの32周期です。出力の論理は出力論理レジスタで切り替えができます。

端子番号	信号名	I/O	論理	内 容
27	SON	O	負	サーボドライバ用のサーボオン出力です。汎用出力として使用できます。
65 66 67 68 69 70 71 72	OUT0 OUT1 OUT3 OUT4 OUT5 OUT6 OUT7	O	負	OUT0 (LSB) から OUT7 (MSB) は 8 ビットパラレルの汎用出力です。 8 ビット同時の書換と各ビットごとのビットオペレーションができます。
29	ERROR	O	正負	エラー停止モニタ出力です。ALM、+EL、-EL によるエラー停止のときに Low になります。停止フラグをリセットすると High になります。出力の論理は出力論理レジスタで切り替えができます。
30	MOVE	O	正負	パルス出力中のモニタ出力です。パルス出力中は Low になります。 出力の論理は出力論理レジスタで切り替えができます。
44	EA1	I	負	エンコーダ入力チャンネル 1 の A 相入力です。2 クロック方式と 90° 位相差の 1、2、4 通倍の選択はエンコーダ入出力の初期設定でできます。
45	EB1	I	負	エンコーダ入力チャンネル 1 の B 相入力です。2 クロック方式と 90° 位相差の 1、2、4 通倍の選択はエンコーダ入出力の初期設定でできます。
47	EA2	I	負	エンコーダ入力チャンネル 2 の A 相入力です。2 クロック方式と 90° 位相差の 1、2、4 通倍の選択はエンコーダ入出力の初期設定でできます。
48	EB2	I	負	エンコーダ入力チャンネル 2 の B 相入力です。2 クロック方式と 90° 位相差の 1、2、4 通倍の選択はエンコーダ入出力の初期設定でできます。
23	CMP1	O	負	コンパレータレジスタとカウンタ (A、B、C) またはカウンタどうしの比較出力です。= または > の切り替えはコンパレータ制御レジスタで行います。
22	OCLK	O	正	基準クロックの 2 分周出入です。
50	OPU	O	正	エンコーダ入力チャンネル 1 または 2 の 90° 位相差 2 相クロックから正論理 2 クロックへのコンバータ出力です。A 相が B 相に先行したときに正論理の基準クロックの 1 周期幅のパルスを出します。
51	OPD	O	正	エンコーダ入力チャンネル 1 または 2 の 90° 位相差 2 相クロックから正論理 2 クロックへのコンバータ出力です。B 相が A 相に先行したときに正論理の基準クロックの 1 周期幅のパルスを出します。
53	SYNC	I	負	同期スタート入力です。同期スタートモードのとき起動をかけた後 SYNC が High から Low に変化すればパルス出力を開始します。
55 56 57 58	CP0 CP1 CP2 CP3	I/O	負	直線補間ステータス入出力です。本 LSI を複数個使用して直線補間を行うときに各軸の CP0、CP1、CP2、CP3 をそれぞれワイヤードオアで接続します。出力バッファはオープンドレインになっています。各端子の機能は次のようになっています。 優先度 1 CP0 即時停止 2 CP1 減速停止 3 CP2 定速 4 CP3 減速
24、25、26 59、60、61 62、63	N C			無接続ピンです。

- 【注】
1.  $\overline{\text{INT}}$  はオープンドレイン出力です。
  2.  $\overline{\text{RST}}$ 、 $\overline{\text{ALM}}$ 、 $\overline{+\text{EL}}$ 、 $\overline{-\text{EL}}$ 、 $\overline{+\text{SLD}}$ 、 $\overline{-\text{SLD}}$ 、 $\overline{\text{ORGI}}$ 、 $\overline{\text{EZ}}$ 、 $\overline{\text{INP}}$ 、 $\overline{\text{MARK}}$ 、 $\overline{\text{INO-7}}$ 、 $\overline{\text{EA1}}$ 、 $\overline{\text{EB1}}$ 、 $\overline{\text{EA2}}$ 、 $\overline{\text{EB2}}$ 、 $\overline{\text{SYNC}}$ 、 $\overline{\text{CLRA}}$ 、 $\overline{\text{CLRB}}$  はプルアップ抵抗(100k)内臓入力です。
  3.  $\overline{\text{CP0-3}}$  はプルアップ抵抗(100k)内臓入出力です。

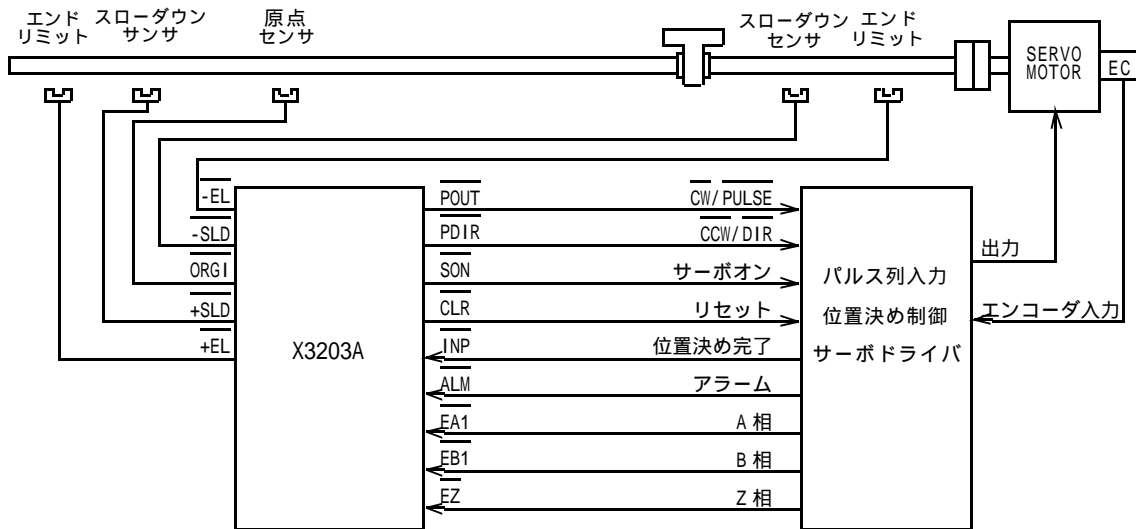
1-6-2 ピン配置

図 1-3: ピン配置図



1-7 システムの構成

図 1-4: サーボモータインターフェース例

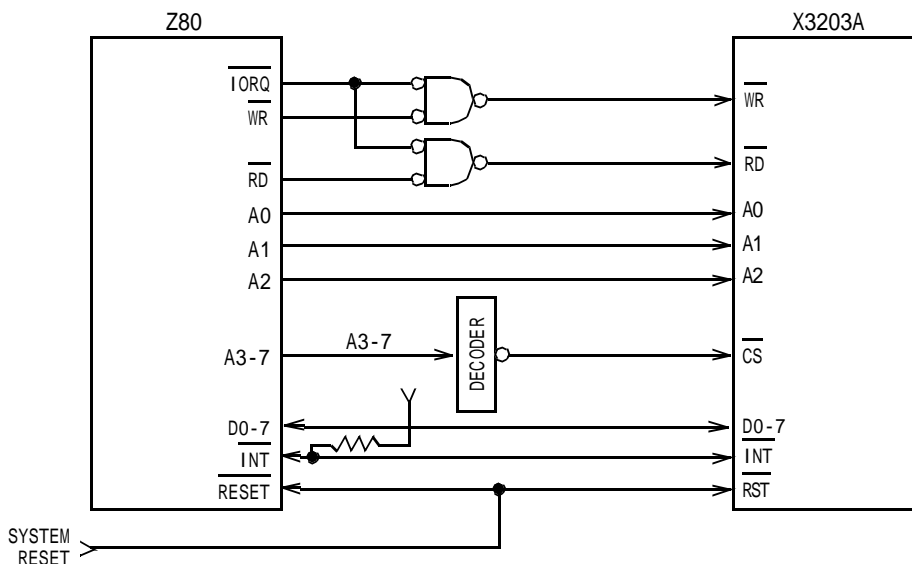


## 1-8 CPUとのインターフェース例

本LSIではD0～7の8ビットデータバスを介し80系プロセッサに直結可能なバスインターフェースを採用していますが、簡単な外付け回路を構成することにより68系プロセッサによってもインターフェースすることができます。

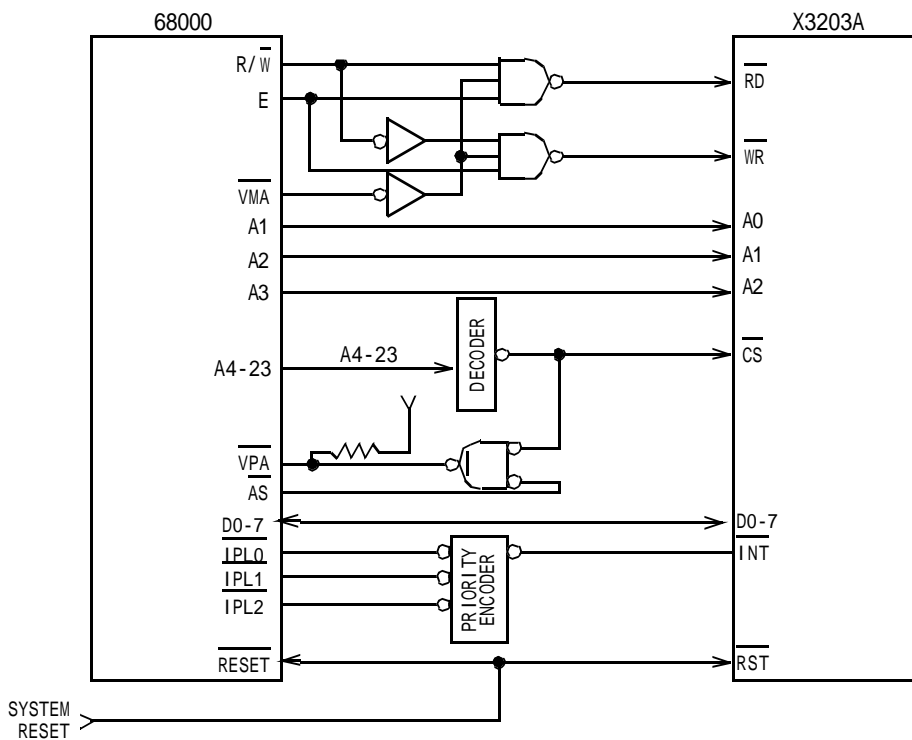
### 1-8-1 Z80とのインターフェース例

図 1-5: Z80とのインターフェース例



### 1-8-2 68000とのインターフェース例

図 1-6: 68000とのインターフェース例



## 2. アドレス割付とデータのリード・ライト

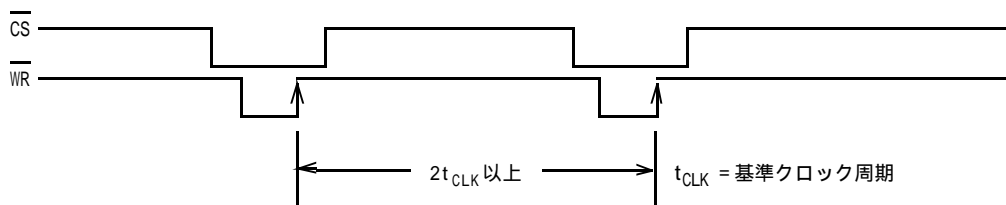
### 2-1 アドレス割付表

表 2-1: アドレス割付表

A2	A1	A0	WRITE	READ
0	0	0	レジスタセクタ	レジスタセクタ
0	0	1	書き込みデータ1(bit0-7)	読み出しデータ1(bit0-7)
0	1	0	書き込みデータ2(bit8-15)	読み出しデータ2(bit8-15)
0	1	1	書き込みデータ3(bit16-23)	読み出しデータ3(bit16-23)
1	0	0	書き込みデータ4(bit24-31)	読み出しデータ4(bit24-31)
1	0	1	システム予約 (アクセス禁止)	システム予約 (アクセス禁止)
1	1	0	システム予約 (アクセス禁止)	割り込み状態ステータス
1	1	1	コマンド	動作状態ステータス

【注】 1. WRITEサイクルでは、データの書き込み処理に基準クロックの2周期の時間(リカバリタイム)を要します。

図 2-1: WRITEサイクルとリカバリタイム



2. コマンドの書き込み、割り込み状態モニタと動作状態モニタ以外のパラメータ、カウンタ初期設定は、レジスタセクタを設定した後に書き込みデータ1~4、読み出しデータ1~4でリード・ライトします。
3. 書き込みデータが2バイト以上の場合は、下位から上位の順に書き込みます。最上位書き込み時に一括に取り込みがされます。
4. 読み出しデータが2バイト以上の場合は、レジスタセクタをライトした後に読み出します。レジスタセクタの書き込み時に一括読み出し用補助バッファにデータがラッチされます。読み出しは連続して行います。



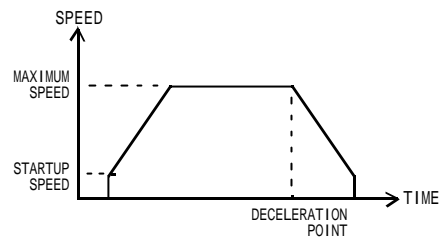

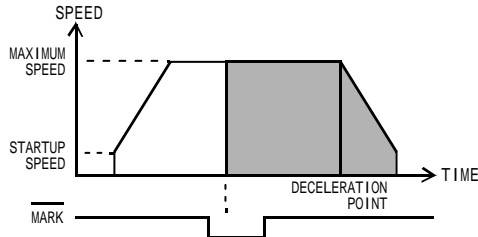
### 3. コマンドの種類と機能

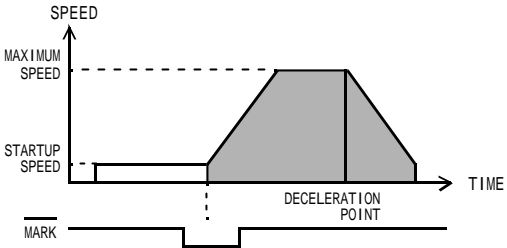
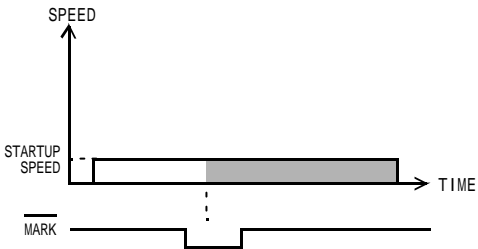
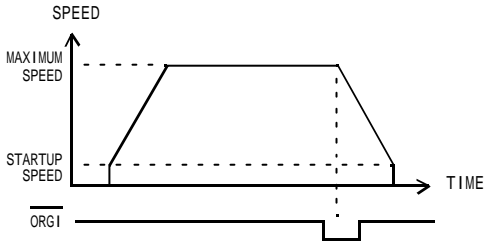
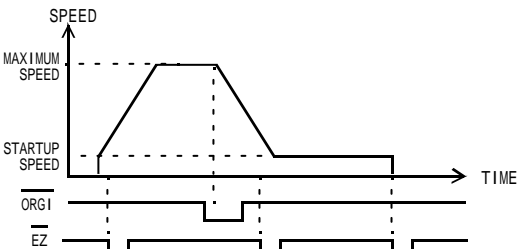
#### 3-1 コマンドのライト

アドレスの7番地に1バイトの命令コードをライトします。

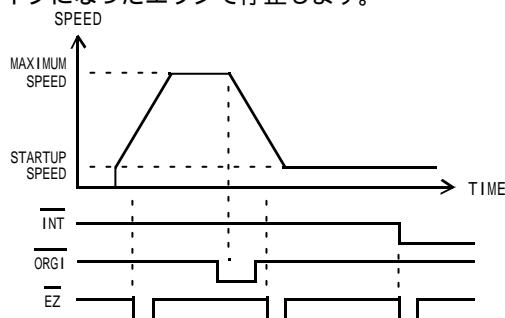
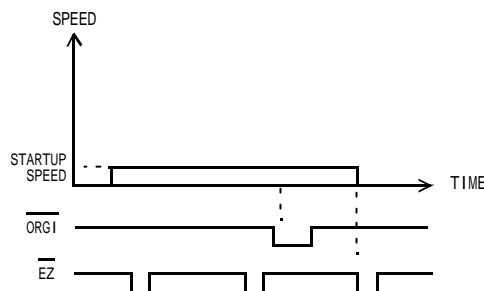
#### 3-2 コマンド一覧

表 3-1: コマンド一覧

命令コード (16進)	種類	説明
00h	インデックス駆動(+方向)	加減速を伴った位置決め駆動です 
01h	インデックス駆動(-方向)	
02h	定速インデックス駆動(+方向)	起動時の速度での位置決め駆動です 
03h	定速インデックス駆動(-方向)	
06h	連続駆動(+方向)	加速を伴った連続パルス駆動です。即時停止命令(コマンド30h)または減速停止命令(コマンド31h)をライトするか、+EL、-EL または ALM がアクティブになるまでパルスを出力します。
07h	連続駆動(-方向)	
08h	定速連続駆動(+方向)	起動時の速度での連続パルス駆動です。即時停止命令(コマンド30h)または減速停止命令(コマンド31h)をライトするか、+EL、-EL または ALM がアクティブになるまでパルスを出力します。
09h	定速連続駆動(-方向)	
0Ah	センサ位置決め駆動 I(+方向)	MARK 入力端子がアクティブになった位置からの位置決め駆動です。駆動の最初から加速を行います。 
0Bh	センサ位置決め駆動 I(-方向)	

命令コード (16進)	種類	説明
0Ch	センサ位置決め駆動 (+方向)	<p>MARK 入力端子がアクティブになった位置からの位置決め駆動です。加速は MARK 入力が入ってから行います。</p> 
0Dh	センサ位置決め駆動 (-方向)	
0Eh	センサ位置決め駆動 (+方向)	<p>MARK 入力端子がアクティブになった位置からの位置決め駆動です。加減速は行いません。</p> 
0Fh	センサ位置決め駆動 (-方向)	
12h	原点復帰 (+方向)	<p>加減速を伴った原点復帰です。ORGI がアクティブになると減速停止します。</p> 
13h	原点復帰 (-方向)	
14h	原点復帰 (+方向)	<p>加減速を伴った原点復帰です。ORGI がアクティブになると減速し、起動速度になった後 EZ がアクティブになると停止します。</p> 
15h	原点復帰 (-方向)	

命令コード (16進)	種類	説明
16h	原点復帰 (+方向)	起動時の速度での原点復帰です。 $\overline{\text{ORGI}}$ がアクティブになると即時停止します。
17h	原点復帰 (-方向)	
18h	原点復帰 (+方向)	起動時の速度での原点復帰です。 $\overline{\text{ORGI}}$ がアクティブになった後、 $\overline{\text{EZ}}$ がアクティブになると即時停止します。
19h	原点復帰 (-方向)	
1Ah	原点復帰 (+方向)	加減速を伴った原点復帰です。 $\overline{\text{ORGI}}$ がアクティブになると減速し $\overline{\text{EZ}}$ 入力による割り込みがイネーブルになります。原点復帰 命令を行うと次の $\overline{\text{EZ}}$ がアクティブになったエッジで停止します。
1Bh	原点復帰 (-方向)	
30h	即時停止命令	駆動中にこの命令をライトすると即時停止します。最終パルスのパルス幅は確保します。補間モードのときは1軸のみの停止になります。
31h	減速停止命令	駆動中にこの命令をライトすると減速停止します。定速駆動中のときは即時停止になります。最終パルスのパルス幅は確保します。補間モードのときは他の軸も同時に減速停止します。



命令コード (16進)	種類	説明
32h	減速命令	加減速を伴った駆動中にこの命令をライトすると起動時の速度まで減速します。補間モードのときは他の軸も同時に減速します。
33h	減速解除命令	減速命令の後にこの命令をライトすると最高速まで加速します。補間モードのときは他の軸も同時に減速解除します。
34h	定速命令	加減速を伴った駆動中にこの命令をライトすると現在の速度に固定されます。補間モードのときは他の軸も同時に現在の速度に固定されます。
35h	定速解除命令	定速の駆動命令中または定速命令後にこの命令をライトすると再び加減速の動作がはじまります。補間モードのときは他の軸も同時に再び加減速の動作が始まります。
36h	一斉停止命令	補間モードのときにこの命令をすると全軸が一斉停止します。
40h	タイマ動作	パルスを出力しないインデックス駆動です。
41h	タイマ動作	パルスを出力しない定速インデックス駆動です。
50h	カウンタAのクリア命令	カウンタAを0にクリアします。
51h	カウンタBのクリア命令	カウンタBを0にクリアします。
A0h	動作完了フラグリセット命令	動作完了フラグが立っているときにこの命令をライトするとフラグがリセットされます。動作完了フラグおよびエラーフラグが立っているときも、この命令によりフラグがリセットされます。動作完了フラグが立っているときは、駆動命令をライトしても再起動されませんので必ずこの命令でリセットする必要があります。
A2h	減速開始割り込みフラグリセット命令	減速開始割り込みフラグが立っているときに、この命令をライトすると減速開始割り込みフラグがリセットされます。
A3h	等速度割り込みフラグリセット命令	等速度割り込みフラグが立っているときに、この命令をライトすると等速度割り込みフラグがリセットされます。
A5h	最大加速度割り込みフラグリセット命令	最大加速度割り込みフラグが立っているときに、この命令をライトすると最大加速度割り込みフラグがリセットされます。
A8h	カウンタA キャリー割り込みフラグリセット	カウンタAのキャリー割り込みフラグが立っているときに、この命令をライトするとカウンタAのキャリー割り込みフラグがリセットされます。
A9h	カウンタA ボロー割り込みフラグリセット	カウンタAのボロー割り込みフラグが立っているときに、この命令をライトするとカウンタAのボロー割り込みフラグがリセットされます。

命令コード (16進)	種類	説明
AAh	カウンタB キャリー割り込みフラグリセット	カウンタBのキャリー割り込みフラグが立っているときに、この命令をライトするとカウンタBのキャリー割り込みフラグがリセットされます。
ABh	カウンタB ボロー割り込みフラグリセット	カウンタBのボロー割り込みフラグが立っているときに、この命令をライトするとカウンタBのボロー割り込みフラグがリセットされます。
ADh	カウンタC ボロー割り込みフラグリセット	カウンタCのボロー割り込みフラグが立っているときに、この命令をライトするとカウンタCのボロー割り込みフラグがリセットされます。
B0h	$\overline{\text{ORG1}}$ センサ割り込みフラグリセット	$\overline{\text{ORG1}}$ センサ割り込みフラグが立っているときに、この命令をライトすると $\overline{\text{ORG1}}$ センサ割り込みフラグがリセットされます。
B1h	$\overline{\text{EZ}}$ センサ割り込みフラグリセット	$\overline{\text{EZ}}$ センサ割り込みフラグが立っているときに、この命令をライトすると $\overline{\text{EZ}}$ センサ割り込みフラグがリセットされます。
B2h	$\overline{\text{IN0}}$ 入力割り込みフラグリセット	$\overline{\text{IN0}}$ 入力割り込みフラグが立っているときに、この命令をライトすると $\overline{\text{IN0}}$ 割り込みフラグがリセットされます。
B3h	$\overline{\text{MARK}}$ 入力割り込みフラグリセット	$\overline{\text{MARK}}$ 入力割り込みフラグが立っているときに、この命令をライトすると $\overline{\text{MARK}}$ センサ割り込みフラグがリセットされます。
B8h	コンパレータ (P = Q) 割り込みフラグリセット	コンパレータ (P = Q) による割り込みフラグが立っているときに、この命令をライトするとコンパレータ (P = Q) 割り込みフラグがリセットされます。
B9h	コンパレータ (P > Q) 割り込みフラグリセット	コンパレータ (P > Q) による割り込みフラグが立っているときに、この命令をライトするとコンパレータ (P > Q) 割り込みフラグがリセットされます。
E0h	$\overline{\text{OUT0}}$ をセット	汎用出力のビットオペレーションです。 $\overline{\text{OUT0}} \sim \overline{7}$ のそれぞれの端子を Low にします。
E1h	$\overline{\text{OUT1}}$ をセット	
E2h	$\overline{\text{OUT2}}$ をセット	
E3h	$\overline{\text{OUT3}}$ をセット	
E4h	$\overline{\text{OUT4}}$ をセット	
E5h	$\overline{\text{OUT5}}$ をセット	
E6h	$\overline{\text{OUT6}}$ をセット	
E7h	$\overline{\text{OUT7}}$ をセット	
Eeh	$\overline{\text{SON}}$ をセット	サーボ ON 用出力端子 $\overline{\text{SON}}$ を Low にします。

命令コード (16進)	種類	説明
EFh	$\overline{\text{CLR}}$ を出力	1 ショットの設定のときは $\overline{\text{CLR}}$ 端子から基準クロックの 32 周期のパルスを出力します。汎用入力の設定のときは ON にします。
F0h	$\overline{\text{OUT0}}$ をリセット	汎用出力のビットオペレーションです。 $\overline{\text{OUT0}} \sim \overline{\text{OUT7}}$ のそれぞれの端子を High にします。
F1h	$\overline{\text{OUT1}}$ をリセット	
F2h	$\overline{\text{OUT2}}$ をリセット	
F3h	$\overline{\text{OUT3}}$ をリセット	
F4h	$\overline{\text{OUT4}}$ をリセット	
F5h	$\overline{\text{OUT5}}$ をリセット	
F6h	$\overline{\text{OUT6}}$ をリセット	
F7h	$\overline{\text{OUT7}}$ をリセット	
FEh	$\overline{\text{SON}}$ をリセット	サーボ ON 用出力端子 $\overline{\text{SON}}$ を High にします。
FFh	$\overline{\text{CLR}}$ をリセット	汎用入力の設定のときは $\overline{\text{CLR}}$ を OFF にします。

## 4. 各種レジスタと内部カウンタについて

### 4-1 レジスタとカウンタの一覧

表 4-1: レジスタ及びカウンタ一覧

セレクトコード 16進	レジスタ・カウンタ	有効 ビット長	設定範囲	種別	上位アドレスの リード・ライト数
00h	周波数数倍率設定レジスタ(R <sub>0</sub> )	12	1 ~ 4,096	パラメータ	2バイト一括RW
01h	出力パルス数設定レジスタ(カウンタC/R <sub>1</sub> )	24	0 ~ 16,777,215	パラメータ	3バイト一括RW
02h	減速開始点設定レジスタ(カウンタD/R <sub>2</sub> )	24	0 ~ 16,777,215 -8,388,608 ~ 8,388,607	パラメータ	3バイト一括RW
03h	起動周波数設定レジスタ(R <sub>3</sub> )	14	1 ~ 16,383 <sup>*1</sup> 1 ~ 10,000 <sup>*2</sup>	パラメータ	2バイト一括RW
04h	最高周波数設定レジスタ(R <sub>4</sub> )	14	1 ~ 16,383 <sup>*1</sup> 1 ~ 10,000 <sup>*2</sup>	パラメータ	2バイト一括RW
05h	加速レート設定レジスタ(R <sub>5</sub> )	14	1 ~ 16,383	パラメータ	2バイト一括RW
06h	減速レート設定レジスタ(R <sub>6</sub> )	14	1 ~ 16,383	パラメータ	2バイト一括RW
07h	S字加減速区間設定レジスタ(R <sub>7</sub> )	13	1 ~ 8,191	パラメータ	2バイト一括RW
08h	直線補間基数設定レジスタ(R <sub>8</sub> )	24	1 ~ 16,777,215	パラメータ	3バイト一括RW
21h	カウンタA	24/32		カウンタ	3/4バイト一括RW
22h	カウンタB	24/32		カウンタ	3/4バイト一括RW
23h	周波数読み出し	14		周波数	2バイト一括RD
30h	コンパレータレジスタ	24	0 ~ 16,777,215 -8,388,608 ~ 8,388,607	コンパレータ	3バイト一括RW
40h	汎用出力一括設定 (OUT0 ~ 7)	8		I/O	1バイト RW
50h	パルス出力初期設定レジスタ	4		初期設定	1バイト RW
51h	エンコーダ入出力初期設定レジスタ	5		初期設定	1バイト RW
52h	カウンタA初期設定レジスタ	7		初期設定	1バイト RW
53h	カウンタB初期設定レジスタ	7		初期設定	1バイト RW
54h	入力の初期設定レジスタ	6		初期設定	1バイト RW
55h	入力論理の初期設定レジスタ	9		初期設定	2バイト個別 RW
56h	入力フィルタの初期設定レジスタ(F)	8		初期設定	1バイト RW
57h	出力の初期設定レジスタ	1		初期設定	1バイト RW
58h	出力論理の初期設定レジスタ	6		初期設定	1バイト RW
60h	動作制御モード設定レジスタ	6		制御モード	1バイト RW
61h	カウンタA制御モード設定レジスタ	2		制御モード	1バイト RW
62h	カウンタB制御モード設定レジスタ	2		制御モード	1バイト RW
63h	CLR 出力制御モード設定レジスタ	2		制御モード	1バイト RW
64h	コンパレータ制御モード設定レジスタ	6		制御モード	1バイト RW
70h	パルス発振割り込みマスクレジスタ	5		割り込み	1バイト RW
71h	カウンタ割り込みマスクレジスタ	5		割り込み	1バイト RW
72h	センサ割り込みマスクレジスタ	4		割り込み	1バイト RW
73h	コンパレータ割り込みマスクレジスタ	2		割り込み	1バイト RW
E0h	パルス発振割り込みフラグレジスタ	5		割り込み	1バイト RD
E1h	カウンタ割り込みフラグレジスタ	5		割り込み	1バイト RD
E2h	センサ割り込みフラグレジスタ	4		割り込み	1バイト RD
E3h	コンパレータ割り込みフラグレジスタ	2		割り込み	1バイト RD
F0h	センサ状態ステータスレジスタ	8		ステータス	2バイト個別 RD
F1h	正常停止要因ステータスレジスタ	6		ステータス	1バイト RD
F2h	エラー停止要因ステータスレジスタ	3		ステータス	1バイト RD
F3h	汎用入力状態ステータスレジスタ	8		ステータス	1バイト RD
F4h	コンパレータ状態ステータスレジスタ	2		ステータス	1バイト RD

\*1: 直線加減速モードまたは減速開始点マニュアル設定モード。 \*2: S字加減速モードかつ減速開始点自動算出モード。

RW: リードおよびライト RD: リードのみ

## 4-2 レジスタとカウンタのリード・ライト

表 4-1 のレジスタとカウンタのリード・ライトは、表 2-1 アドレス割付表 の 0 番地にセレクトコードをライトし、1 ~ 4 番地をリードまたはライトして行います。

### 4-2-1 1バイトのレジスタのリードとライト

リードは 0 番地のレジスタセクタにセレクトコードをライトし、1 番地の読み出しデータ 1 をリードします。

ライトは 0 番地のレジスタセクタにセレクトコードをライトし、1 番地の書き込みデータ 1 にライトします。

### 4-2-2 2バイトのレジスタのリードとライト

リードは 0 番地のレジスタセクタにセレクトコードをライトし、1 番地の読み出しデータ 1 で下位のバイト (0 ~ 7bit) をリードし、その後 2 番地の読み出しデータ 2 で上位のバイト (8 ~ 15bit) をリードします。

ライトは 0 番地のレジスタセクタにセレクトコードをライトし、1 番地の書き込みデータ 1 で下位のバイト (0 ~ 7bit) をライトし、その後 2 番地の書き込みデータ 2 で上位のバイト (8 ~ 15bit) をライトします。

### 4-2-3 3バイトのレジスタとカウンタのリードとライト

リードは 0 番地のレジスタセクタにセレクトコードをライトし、1 番地の読み出しデータ 1 で下位のバイト (0 ~ 7bit) をリードし、次に 2 番地の読み出しデータ 2 で中位のバイト (8 ~ 15bit) をリードし、その後 3 番地の読み出しデータ 3 で上位のバイト (16 ~ 23bit) をリードします。

ライトは 0 番地のレジスタセクタにセレクトコードをライトし、1 番地の書き込みデータ 1 で下位のバイト (0 ~ 7bit) をライトし、次に 2 番地の書き込みデータ 2 で中位のバイト (8 ~ 15bit) をライトし、その後 3 番地の読み出しデータ 3 で上位のバイト (16 ~ 23bit) をライトします。

### 4-2-4 4バイトのカウンタのリードとライト

リードは 0 番地のレジスタセクタにセレクトコードをライトし、1 番地の読み出しデータ 1 で下位のバイト (0 ~ 7bit) をリードし、次に 2 番地の読み出しデータ 2 で中位のバイト (8 ~ 15bit) をリードし、次に 3 番地の読み出しデータ 3 で次の中位バイト (16 ~ 23bit) をリードし、最後に 4 番地の読み出しデータ 4 で最上位のバイト (24 ~ 31bit) をリードします。

ライトは 0 番地のレジスタセクタにセレクトコードをライトし、1 番地の書き込みデータ 1 で下位のバイト (0 ~ 7bit) をライトし、次に 2 番地の書き込みデータ 2 に中位のバイト (8 ~ 15bit) をライトし、次に 3 番地の書き込みデータ 3 で次の中位のバイト (16 ~ 23bit) をライトし、最後に 4 番地の書き込みデータ 4 に最上位のバイト (24 ~ 31bit) をライトします。



## 5. パルス出力に関する各パラメータについて

本 LSI でパルス出力やタイマ動作の為に 9 種類のパラメータがあります。このパラメータは  $R_0$  から  $R_8$  のパラメータレジスタにより設定します。

### 5-1 パラメータの種類

#### 5-1-1 周波数倍率設定レジスタ ( $R_0$ レジスタ)

$R_0$  レジスタは出力周波数の倍率レンジを設定するレジスタです。設定の範囲は 1 ~ 4096 ですが、4096 の場合は 0 を設定します。 $R_0$  レジスタの設定値と倍率 [pps/step] および出力周波数の範囲は表 5-1 のようになります。

表 5-1: 周波数倍率と出力周波数範囲

$R_0$	倍率 [pps/step]	出力周波数範囲 [pps]	
		直線加減速	S 字加減速
2500	0.1	0.1 ~ 1,638.3	0.1 ~ 1,000
250	1	1 ~ 16,383	1 ~ 10,000
50	5	5 ~ 81,915	5 ~ 50,000
10	25	25 ~ 409,575	25 ~ 250,000
1	250	250 ~ 4,095,750	250 ~ 2,500,000

#### 5-1-2 出力パルス数設定レジスタ ( $R_1$ レジスタ)

$R_1$  レジスタは出力パルス数を設定するレジスタです。 $R_1$  レジスタは、カウンタ C と共用しています。従って  $R_1$  レジスタのライトは、カウンタ C のプリセットとなります。パルス出力を途中で強制的に停止したときのカウンタ C の値は、( $R_1$  レジスタ設定値 - 出力パルス数) になっています。次回に残りパルス数のみを出力する場合は再設定をする必要がありません。その他の場合は毎回  $R_1$  レジスタの設定が必要です。

#### 5-1-3 減速開始点設定レジスタ ( $R_2$ レジスタ)

本 LSI では減速開始点の自動算出モードを備えていますが、減速開始点のマニュアル設定や減速開始点のオフセット設定が  $R_2$  レジスタにデータをライトすることで行えます。

$R_2$  レジスタはカウンタ D と共用していますが、減速開始点マニュアル設定モードで使用するときにはカウント動作を行いません。

#### 5-1-4 起動周波数設定レジスタ ( $R_3$ レジスタ)

パルス出力開始時と終了時の周波数を定めるパラメータレジスタです。

#### 5-1-5 最高周波数設定レジスタ ( $R_4$ レジスタ)

パルス出力の最高周波数を定めるパラメータレジスタです。直線加減速かつ減速開始点自動算出モードではパルス出力中にも書換ができます。S 字加減速の場合は連続モード及び減速開始点マニュアル設定モードでは等速パルス出力中であれば途中書換ができます。

#### 5-1-6 加速レート設定レジスタ ( $R_5$ レジスタ)

加速度を決めるパラメータレジスタです。

#### 5-1-7 減速レート設定レジスタ ( $R_6$ レジスタ)

減速度を決めるパラメータレジスタです。減速開始点自動算出モードでは  $R_5$  レジスタと  $R_6$  レジスタは同じ値を設定して下さい。

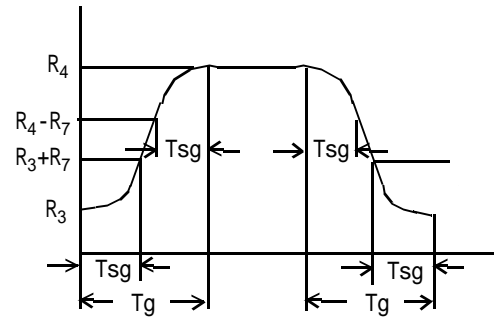
### 5-1-8 S字加減速区間設定レジスタ (R<sub>7</sub> レジスタ)

S字加減速区間とは図 5-1 に示す T<sub>sg</sub> の区間です。R<sub>3</sub> から (R<sub>3</sub>+R<sub>7</sub>) の速度区間と (R<sub>4</sub>-R<sub>7</sub>) から R<sub>4</sub> の速度区間が S 字状に速度が変化します。R<sub>7</sub> レジスタの設定値は (R<sub>4</sub>-R<sub>3</sub>) ÷ 2 以下になります。S 字加減速を使用しないときは設定の必要はありません。

### 5-1-9 直線補間基数設定レジスタ (R<sub>8</sub> レジスタ)

本 LSI を複数個使用して直線補間駆動を行うときに最も移動量の多い軸の R<sub>1</sub> レジスタ設定値を R<sub>8</sub> レジスタに設定します。直線補間駆動を使用しないときは、設定の必要はありません。

図 5-1: S字加減速の状態



## 5-2 パラメータの計算式

表 5-2: パラメータ計算式一覧

速度分解能 [倍率] K [pps/step]	$K = \frac{f}{65536 \times R_0}$ f: 基準クロック周波数 [Hz]
起動周波数 V [pps]	単独モード $V = \frac{f \times R_3}{65536 \times R_0}$ 直線補間モード $V = \frac{f \times R_3 \times R_1}{65536 \times R_0 \times R_8}$
最高周波数 V [pps]	単独モード $V = \frac{f \times R_4}{65536 \times R_0}$ 直線補間モード $V = \frac{f \times R_4 \times R_1}{65536 \times R_0 \times R_8}$
加速度 g [pps/sec]	単独モード $g = \frac{f \times K \times R_5}{131072}$ 直線補間モード $g = \frac{f \times K \times R_5 \times R_1}{131072 \times R_8}$
減速度 g [pps/sec]	単独モード $g = \frac{f \times K \times R_6}{131072}$ 直線補間モード $g = \frac{f \times K \times R_6 \times R_1}{131072 \times R_8}$
加減速時間 (直線) Tg [sec]	加速 $Tg = \frac{131072 \times (R_4 - R_3)}{f \times R_5}$ 減速 $Tg = \frac{131072 \times (R_4 - R_3)}{f \times R_6}$
加減速時間 (正弦) Tg [sec]	加速 $Tg = \frac{131072 \times (R_4 - R_3 - 2 \times R_7 + \pi \times R_7)}{f \times R_5}$ 減速 $Tg = \frac{131072 \times (R_4 - R_3 - 2 \times R_7 + \pi \times R_7)}{f \times R_6}$
加減速時間 (放物線) Tg [sec]	加速) $Tg = \frac{131072 \times (R_4 - R_3 + 2 \times R_7)}{f \times R_5}$ 減速) $Tg = \frac{131072 \times (R_4 - R_3 + 2 \times R_7)}{f \times R_6}$
減速開始点 (直線) Dp [パルス]	台形 (R <sub>4</sub> >R <sub>3</sub> の場合) $Dp = \frac{(R_4 - R_3)(R_4 + R_3 - 1)}{R_0 \times R_6}$ 三角駆動 $Dp = \frac{R_1 \times R_5}{R_5 + R_6}$
減速開始点 (正弦) Dp [パルス]	台形 (R <sub>4</sub> >R <sub>3</sub> の場合) $Dp = \frac{(R_4 - R_3 - 2 \times R_7 + \pi \times R_7)(R_4 + R_3)}{R_0 \times R_6}$ 三角駆動 $Dp = \frac{R_1 \times R_5}{R_5 + R_6}$

表 5-2: パラメータ計算式一覧

減速開始点 (放物線) Dp[ パルス ]	台形 ( $R_4 > R_3$ の場合) $Dp = \frac{(R_4 - R_3 + 2 \times R_7 - 2)(R_4 + R_3)}{R_0 \times R_6}$	三角駆動 $Dp = \frac{R_1 \times R_5}{R_5 + R_6}$
--------------------------	--	--

円周率

## 6. 初期設定レジスタについて

初期設定レジスタはパワーオンリセット後に必ず1度設定をします。その後パルス出力停止中には設定を替えることができます。

### 6-1 各初期設定レジスタの機能

#### 6-1-1 パルス出力初期設定レジスタ

表 6-1: パルス出力初期設定レジスタ

bit	内 容	
	0	1
0	0.5 パルスアイドル	1.5 パルスアイドル
1	未定義 (0 を設定)	
2	+ 方向が CW パルス出力	+ 方向が CCW パルス出力
3	CW、CCW の 2 クロック方式	PULSE、DIR のゲート方式
4	未定義 (0 を設定)	
5	未定義 (0 を設定)	
6	未定義 (0 を設定)	
7	パルス出力完了で動作完了フラグ ON	位置決め完了で動作完了フラグ ON

#### アイドル

アイドルとは加減速を遅らせる機能です。設定が0のときは起動から0.5パルス後に加速が始まり、パルス停止の0.5パルス前に減速が終了します。設定が1のときは起動から1.5パルス後に加速が始まり、パルス停止の1.5パルス前に減速が終了します。

#### $\overline{\text{POUT}}$ 、 $\overline{\text{PDIR}}$ 出力

表 6-2: パルス出力初期設定と  $\overline{\text{POUT}}$  と  $\overline{\text{PDIR}}$  出力

bit3	bit2	$\overline{\text{POUT}}$		$\overline{\text{PDIR}}$	
		+	-	+	-
0	0				
0	1				
1	0				
1	1				

【注】 正論理の場合は反転します。

#### 動作完了フラグ

動作完了フラグは、動作状態ステータスでリードできます。bit7=0の時は、パルス出力完了後直ちに動作完了フラグは1になります。bit7=1の時は、パルス出力完了後  $\overline{\text{INP}}$  入力端子がアクティブになれば1になります。

## 6-1-2 エンコーダ入出力の初期設定レジスタ

表 6-3: エンコーダ入出力の初期設定レジスタ

bit	内 容	
	0	1
0	EA1、EB1 (チャンネル 1) 入力モードコード1	
1	EA1、EB1 (チャンネル 2) 入力モードコード2	
2	EA2、EB2 (チャンネル 2) 入力モードコード1	
3	EA2、EB2 (チャンネル 2) 入力モードコード2	
4	コンバータ出力はチャンネル 1 入力	コンバータ出力はチャンネル 2 入力
5	未定義 (0 を設定)	
6	未定義 (0 を設定)	
7	未定義 (0 を設定)	

## エンコーダ入力コード(チャンネル1、2共通)

表 6-4: エンコーダ入力モードコード

コード2	コード1	内 容
0	0	2 クロック負論理
0	1	2 相クロック 4 通倍
1	0	2 相クロック 2 通倍
1	1	2 相クロック 1 通倍

## エンコーダコンバータ出力

OPU、OPD の出力端子は、チャンネル 1 または 2 のエンコーダ入力の 2 相クロックを 2 クロック正論理にコンバートする出力です。A 相が B 相に先行する時は OPU からパルス出力します。B 相が A 相に先行する時は、OPD からパルス出力します。

## 6-1-3 カウンタ A、B 初期設定レジスタ

表 6-5: カウンタ A、B 初期設定レジスタ

bit	内 容	
	0	1
0	内部発振パルスカウントディセーブル	内部発振パルスカウントイネーブル
1	チャンネル 1 カウントディセーブル	チャンネル 1 カウントイネーブル
2	チャンネル 2 カウントディセーブル	チャンネル 2 カウントイネーブル
3	チャンネル 1 入力正カウント	チャンネル 1 入力逆カウント
4	チャンネル 2 入力正カウント	チャンネル 2 入力逆カウント
5	-8388608 ~ 8388607 のカウント	0 ~ 16777215 のカウント
6	24bit モード	32bit モード
7	未定義 (0 を設定)	

## 多重入力カウント

カウンタ A および B は、内部発振パルスとエンコーダ入力のチャンネル 1、2 を 2 チャンネルまで同時カウント可能です。bit0 ~ 2 によりそれぞれのカウントをイネーブルに出来ます。

bit3、4 のエンコーダ入力の正カウントとは、A 相が B 相に先行する時にアップカウントし、B 相が A 相に先行するときにダウンカウントする事です。逆カウントの設定をするとその逆になります。

### 6-1-4 入力の初期設定レジスタ

表 6-6: 入力の初期設定レジスタ

bit	内 容	
	0	1
0	$\overline{+SLD}$ 、 $\overline{-SLD}$ は減速入力	$\overline{+SLD}$ 、 $\overline{-SLD}$ は減速停止入力
1	$\overline{+SLD}$ 、 $\overline{-SLD}$ はレベル動作入力	$\overline{+SLD}$ 、 $\overline{-SLD}$ はエッジ動作入力
2	$\overline{ORGI}$ は低感度入力	$\overline{ORGI}$ は高感度入力
3	$\overline{MARK}$ は低感度入力	$\overline{MARK}$ は高感度入力
4	$\overline{CLRA}$ はレベルクリア入力	$\overline{CLRA}$ はエッジクリア入力
5	$\overline{CLRB}$ はレベルクリア入力	$\overline{CLRB}$ はエッジクリア入力
6	未定義 (常に 0 を設定)	
7	未定義 (常に 0 を設定)	

bit=0 の時に  $\overline{+SLD}$  または  $\overline{-SLD}$  がアクティブになれば、 $R_3$  レジスタ設定の速度に減速 ( $R_4 > R_3$  の場合) しパルスの出力を継続します。bit0=1 の時に  $\overline{+SLD}$  または  $\overline{-SLD}$  がアクティブになれば、 $R_3$  レジスタ設定の速度に減速しパルスの出力を停止します。

### 6-1-5 入力論理の初期設定レジスタ

入力論理の初期設定レジスタ は表 2-1 の 1 番地でリード、ライトし、入力論理の初期設定レジスタ は 2 番地でリード、ライトします。

表 6-7: 入力論理の初期設定レジスタ

bit	内 容	
	0	1
0	$\overline{+EL}$ は負論理入力	$\overline{+EL}$ は正論理入力
1	$\overline{-EL}$ は負論理入力	$\overline{-EL}$ は正論理入力
2	$\overline{ALM}$ は負論理入力	$\overline{ALM}$ は正論理入力
3	未使用 (常に 0 を設定)	
4	未使用 (常に 0 を設定)	
5	未使用 (常に 0 を設定)	
6	未使用 (常に 0 を設定)	
7	未使用 (常に 0 を設定)	

表 6-8: 入力論理の初期設定レジスタ

bit	内 容	
	0	1
0	$\overline{\text{ORGI}}$ は負論理	$\overline{\text{ORGI}}$ は正論理
1	$\overline{\text{EZ}}$ は負論理	$\overline{\text{EZ}}$ は正論理
2	$\overline{+\text{SLD}}$ は負論理入力	$\overline{+\text{SLD}}$ は正論理入力
3	$\overline{-\text{SLD}}$ は負論理入力	$\overline{-\text{SLD}}$ は正論理入力
4	$\overline{\text{INP}}$ は負論理入力	$\overline{\text{INP}}$ は正論理入力
5	$\overline{\text{MARK}}$ は負論理入力	$\overline{\text{MARK}}$ は正論理入力
6	未使用 (常に 0 を設定)	
7	未使用 (常に 0 を設定)	

## 6-1-6 入力フィルタの初期設定レジスタ (F)

入力フィルタの設定値は  $\overline{+\text{EL}}$ 、 $\overline{-\text{EL}}$ 、 $\overline{\text{ALM}}$ 、 $\overline{+\text{SLD}}$ 、 $\overline{-\text{SLD}}$  の感度を決めます。設定値の範囲は 1 ~ 256 です。256 の場合は 0 を設定します。

感度は  $16 \times F \times$  基準クロックの 1 周期です。

## 6-1-7 出力の初期設定レジスタ

表 6-9: 出力の初期設定レジスタ

bit	内 容	
	0	1
0	$\overline{\text{CLR}}$ は 1 ショット出力	$\overline{\text{CLR}}$ は汎用出力
1	未定義 (常に 0 を設定)	
2	未定義 (常に 0 を設定)	
3	未定義 (常に 0 を設定)	
4	未定義 (常に 0 を設定)	
5	未定義 (常に 0 を設定)	
6	未定義 (常に 0 を設定)	
7	未定義 (常に 0 を設定)	

## 6-1-8 出力論理の初期設定レジスタ

表 6-10: 出力論理の初期設定レジスタ

bit	内 容	
	0	1
0	$\overline{\text{POUT}}$ は負論理出力	$\text{POUT}$ は正論理出力
1	$\overline{\text{PDIR}}$ は負論理出力	$\text{PDIR}$ は正論理出力
2	$\overline{\text{CLR}}$ は負論理出力	$\text{CLR}$ は正論理出力
3	$\overline{\text{INT}}$ は負論理出力	$\text{INT}$ は正論理出力
4	$\overline{\text{ERROR}}$ は負論理出力	$\text{ERROR}$ は正論理出力
5	$\overline{\text{MOVE}}$ は負論理出力	$\text{MOVE}$ は正論理出力
6	未定義 (常に 0 を設定)	
7	未定義 (常に 0 を設定)	



## 7. 制御モードレジスタについて

### 7-1 各制御モードレジスタの機能

#### 7-1-1 動作制御モード設定レジスタ

表 7-1: 動作制御モード設定レジスタ

bit	内 容	
	0	1
0	同期スタート制御を行わない	同期スタート制御を行う
1	減速開始点制御コード1	
2	減速開始点制御コード2	
3	補間制御を行わない	補間制御を行う
4	直線加減速モード	S字加減速モード
5	放物線	正弦
6	未使用 (常に0を設定)	
7	未使用 (常に0を設定)	

#### 同期スタート

同期スタート制御を行う場合、コマンドの 00h ~ 19h のドライブ命令または 40h、41h のタイマ命令後に、同期スタート入力端子の SYNC が HIGH から LOW になればパルス発振またはタイマがスタートします。

#### 減速開始点制御コード

減速開始点制御は、4 つのモードがあります。bit1-2 で設定します。

コード2	コード1	内 容
0	0	自動演算
0	1	オフセット設定
1	0	マニュアル設定
1	1	減速を行わない

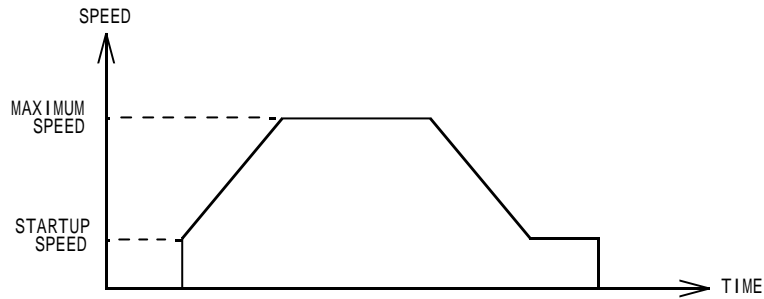
#### 自動演算

このモードは加速レートと減速レートが同じ場合に使用できます。駆動開始時にカウンタDが0クリアされ、駆動中カウント動作を行います。残りパルス数管理用のカウンタCの値が、カウンタDの値以下になれば減速動作を開始します。起動前にカウンタDのプリセットの必要はありません。

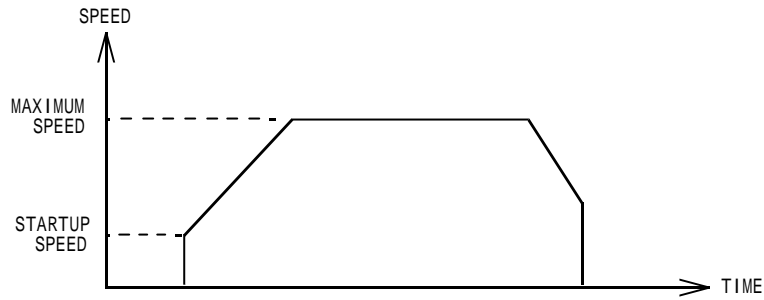
#### オフセット設定

このモードは駆動開始時にカウンタDが0クリアされず、駆動中はカウント動作を行います。残りパルス数管理用のカウンタCの値が、カウンタDの値以下になれば減速動作を開始します。オフセット値は、駆動前にプリセットします。設定値は、-8388608 ~ 8388607 で2の補数形式でカウンタDにプリセットします。動作は次のようになります。

### プラス値をプリセットした場合



### マイナス値をプリセットした場合

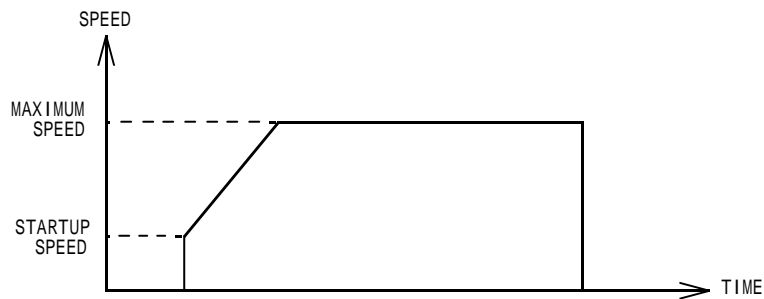


### マニュアル設定

このモードは減速開始点の管理用カウンタDがカウント動作をせず、レジスタR<sub>2</sub>として機能する。駆動開始時にも0クリアされません。残りパルス数管理用のカウンタCの値が、プリセットされたR<sub>2</sub>レジスタ以下になれば減速動作を開始します。

### 減速開始点動作を行わない

このモードは次のような動作になります。



### S字加減速

bit4=1のS字加減速モードでは2種類の加減速形状が使用できます。bit5=0の時は放物線状に、bit5=1の時は正弦関数状になります。

## 7-1-2 カウンタA、Bの制御レジスタ

表 7-2: カウンタA、Bの制御

bit	内 容	
	0	1
0	エラー停止時に自動クリアせず	エラー停止時に自動クリアする
1	正常停止時に自動クリアせず	正常停止時に自動クリアする
2	未定義 (常に0を設定)	
3	未定義 (常に0を設定)	
4	未定義 (常に0を設定)	
5	未定義 (常に0を設定)	
6	未定義 (常に0を設定)	
7	未定義 (常に0を設定)	

7-1-3  $\overline{\text{CLR}}$  出力制御モードレジスタ表 7-3:  $\overline{\text{CLR}}$  出力制御モードレジスタ

bit	内 容	
	0	1
0	エラー停止時に $\overline{\text{CLR}}$ を自動出力せず	エラー停止時に $\overline{\text{CLR}}$ を自動出力する
1	正常停止時に $\overline{\text{CLR}}$ を自動出力せず	正常停止時に $\overline{\text{CLR}}$ を自動出力する
2	未定義 (常に0を設定)	
3	未定義 (常に0を設定)	
4	未定義 (常に0を設定)	
5	未定義 (常に0を設定)	
6	未定義 (常に0を設定)	
7	未定義 (常に0を設定)	

## 7-1-4 コンパレータ制御モード設定レジスタ

表 7-4: コンパレータ制御モードレジスタ

bit	内 容	
	0	1
0	P 入力セレクトコード1	
1	P 入力セレクトコード2	
2	未定義 (0を設定)	
3	Q 入力セレクトコード1	
4	Q 入力セレクトコード2	
5	未定義 (0を設定)	
6	絶対値比較	2の補数比較
7	コンパレータ出力は P=Q	コンパレータ出力は P > Q

## 入力セレクトコード(P、Q共通)

コード2	コード1	内 容
0	0	カウンタA
0	1	カウンタB
1	0	カウンタC
1	1	コンパレータレジスタ

## 8. 割り込み機能について

本LSIにはパルス出力要因、カウンタ要因、センサ要因による割り込み機能があります。各要因による割り込みはマスクできます。

### 8-1 各割り込みマスクレジスタ

#### 8-1-1 パルス発振割り込みマスクレジスタ

表 8-1: パルス発振割り込みマスクレジスタ

bit	内 容	
	0	1
0	正常パルス出力完了割り込み禁止	正常パルス出力完了割り込み許可
1	エラー停止割り込み禁止	エラー停止割り込み許可
2	減速開始点割り込み禁止	減速開始点割り込み許可
3	等速度割り込み禁止	等速度割り込み許可
4	未使用 (常に 0 を設定)	
5	最大加速度割り込み禁止	最大加速度割り込み許可
6	未使用 (常に 0 を設定)	
7	未使用 (常に 0 を設定)	

#### 8-1-2 カウンタ割り込みマスクレジスタ

表 8-2: カウンタ割り込みマスクレジスタ

bit	内 容	
	0	1
0	カウンタ A のキャリー割り込み禁止	カウンタ A のキャリー割り込み許可
1	カウンタ A のポロー割り込み禁止	カウンタ A のポロー割り込み許可
2	カウンタ B のキャリー割り込み禁止	カウンタ B のキャリー割り込み許可
3	カウンタ B のポロー割り込み禁止	カウンタ B のポロー割り込み許可
4	未定義 (常に 0 を設定)	
5	カウンタ C のポロー割り込み禁止	カウンタ C のポロー割り込み許可
6	未定義 (常に 0 を設定)	
7	未定義 (常に 0 を設定)	

## 8-1-3 センサ割り込みマスクレジスタ

表 8-3: センサ割り込みマスクレジスタ

bit	内 容	
	0	1
0	$\overline{\text{ORGI}}$ による割り込み禁止	$\overline{\text{ORGI}}$ による割り込み許可
1	$\overline{\text{EZ}}$ による割り込み禁止	$\overline{\text{EZ}}$ による割り込み許可
2	$\overline{\text{IN0}}$ による割り込み禁止	$\overline{\text{IN0}}$ による割り込み許可
3	$\overline{\text{MARK}}$ による割り込み禁止	$\overline{\text{MARK}}$ による割り込み許可
4	未定義 (常に 0 を設定)	
5	未定義 (常に 0 を設定)	
6	未定義 (常に 0 を設定)	
7	未定義 (常に 0 を設定)	

## 8-1-4 コンパレータ割り込みマスクレジスタ

表 8-4: コンパレータ割り込みマスクレジスタ

bit	内 容	
	0	1
0	$P=Q$ による割り込み禁止	$P=Q$ による割り込み許可
1	$P > Q$ による割り込み禁止	$P > Q$ による割り込み許可
2	未定義 (常に 0 を設定)	
3	未定義 (常に 0 を設定)	
4	未定義 (常に 0 を設定)	
5	未定義 (常に 0 を設定)	
6	未定義 (常に 0 を設定)	
7	未定義 (常に 0 を設定)	

## 8-2 各割り込みフラグレジスタ

## 8-2-1 パルス発振割り込みフラグレジスタ

表 8-5: パルス発振割り込みフラグレジスタ

bit	内 容	
	0	1
0	パルス出力完了割り込みフラグが OFF	パルス出力完了割り込みフラグが ON
1	エラー停止割り込みフラグが OFF	エラー停止割り込みフラグが ON
2	減速開始点割り込みフラグが OFF	減速開始点割り込みフラグが ON
3	等速度割り込みフラグが OFF	等速度割り込みフラグが ON
4	未定義 (常に 0 を設定)	
5	最大加速度割り込みフラグが OFF	最大加速度割り込みフラグが ON
6	未使用 (常に 0 を設定)	
7	未使用 (常に 0 を設定)	

## 8-2-2 カウンタ割り込みフラグレジスタ

表 8-6: カウンタ割り込みフラグレジスタ

bit	内 容	
	0	1
0	カウンタ A のキャリー割り込みフラグが OFF	カウンタ A のキャリー割り込みフラグが ON
1	カウンタ A のボロー割り込みフラグが OFF	カウンタ A のボロー割り込みフラグが ON
2	カウンタ B のキャリー割り込みフラグが OFF	カウンタ B のキャリー割り込みフラグが ON
3	カウンタ B のボロー割り込みフラグが OFF	カウンタ B のボロー割り込みフラグが ON
4	未定義 (常に 0)	
5	カウンタ C のボロー割り込みフラグが OFF	カウンタ C のボロー割り込みフラグが ON
6	未定義 (常に 0)	
7	未定義 (常に 0)	

## 8-2-3 センサ割り込みフラグレジスタ

表 8-7: センサ割り込みフラグレジスタ

bit	内 容	
	0	1
0	$\overline{\text{ORGI}}$ による割り込みフラグが OFF	$\overline{\text{ORGI}}$ による割り込みフラグが ON
1	$\overline{\text{EZ}}$ による割り込みフラグが OFF	$\overline{\text{EZ}}$ による割り込みフラグが ON
2	$\overline{\text{IN0}}$ による割り込みフラグが OFF	$\overline{\text{IN0}}$ による割り込みフラグが ON
3	$\overline{\text{MARK}}$ による割り込みフラグが OFF	$\overline{\text{MARK}}$ による割り込みフラグが ON
4	未定義 (常に 0)	
5	未定義 (常に 0)	
6	未定義 (常に 0)	
7	未定義 (常に 0)	

## 8-2-4 コンパレータ割り込みフラグレジスタ

表 8-8: コンパレータ割り込みフラグレジスタ

bit	内 容	
	0	1
0	$P=Q$ による割り込みフラグが OFF	$P=Q$ による割り込みフラグが ON
1	$P > Q$ による割り込みフラグが OFF	$P > Q$ による割り込みフラグが ON
2	未定義 (常に 0 を設定)	
3	未定義 (常に 0 を設定)	
4	未定義 (常に 0 を設定)	
5	未定義 (常に 0 を設定)	
6	未定義 (常に 0 を設定)	
7	未定義 (常に 0 を設定)	

## 9. ステータスレジスタについて

ステータスレジスタは表2-1のアドレス割付表の6番地でリードできる割り込み状態と7番地でリードできる動作状態の主ステータスと0番地のレジスタセクタを設定し、読み出しデータ1～3でリードする補助ステータスがあります。

### 9-1 主ステータス

#### 9-1-1 動作状態ステータス

動作状態ステータスは本LSIの最も全体的な状態を知ることができます。その内容はパルス出力の状態とパルス出力の終了状態そして割り込みの有無です。

表 9-1: 動作状態ステータス

bit	内 容	
	0	1
0	停止中	動作中
1	加速中ではない	加速中
2	減速中ではない	減速中
3	未定義 (常に0)	
4	エラーフラグが OFF	エラーフラグが ON
5	停止フラグが OFF	停止フラグが ON
6	割り込みフラグが OFF	割り込みフラグが ON
7	CLR が OFF	CLR が ON

#### 9-1-2 割り込み状態ステータス

この割り込み状態ステータスは、現在の割り込みがどのグループのものかを知ることができます。更に詳しく割り込みの要因を知るには、割り込みフラグレジスタをリードすることによりできます。

表 9-2: 割り込み状態ステータス

bit	内 容	
	0	1
0	パルス発振割り込みフラグが OFF	パルス発振割り込みフラグが ON
1	カウンタ割り込みフラグが OFF	カウンタ割り込みフラグが ON
2	センサ割り込みフラグが OFF	センサ割り込みフラグが ON
3	コンパレータ割り込みフラグが OFF	コンパレータ割り込みフラグが ON
4	未使用 (常に0)	
5	未使用 (常に0)	
6	未使用 (常に0)	
7	未使用 (常に0)	



## 9-2 補助ステータス

### 9-2-1 センサ状態ステータス

センサ状態ステータスはセンサ入力のリアルタイムの状態をリードすることができます。2 バイトの個別リードのレジスタで、表 2-1 のアドレス割付表のレジスタセクタをライトした後、読み出しデータ1で  $\overline{+EL}$ 、 $\overline{-EL}$  と  $\overline{ALM}$  の状態がリードでき、読み出しデータ2のアドレスで  $\overline{ORGI}$ 、 $\overline{EZ}$ 、 $\overline{+SLD}$ 、 $\overline{-SLD}$ 、 $\overline{INP}$ 、 $\overline{MARK}$  の状態がリードできます。

表 9-3: センサ状態ステータス1

bit	内 容	
	0	1
0	$\overline{+EL}$ は OFF	$\overline{+EL}$ は ON
1	$\overline{-EL}$ は OFF	$\overline{-EL}$ は ON
2	$\overline{ALM}$ は OFF	$\overline{ALM}$ は ON
3	未使用 (常に 0)	
4	未使用 (常に 0)	
5	未使用 (常に 0)	
6	未使用 (常に 0)	
7	未使用 (常に 0)	

表 9-4: センサ状態ステータス2

bit	内 容	
	0	1
0	$\overline{ORGI}$ は OFF	$\overline{ORGI}$ は ON
1	$\overline{EZ}$ は OFF	$\overline{EZ}$ は ON
2	$\overline{+SLD}$ は OFF	$\overline{+SLD}$ は ON
3	$\overline{-SLD}$ は OFF	$\overline{-SLD}$ は ON
4	$\overline{INP}$ は OFF	$\overline{INP}$ は ON
5	$\overline{MARK}$ は OFF	$\overline{MARK}$ は ON
6	未使用 (常に 0)	
7	未使用 (常に 0)	

### 9-2-2 正常停止要因ステータス

この正常停止要因ステータスは動作状態ステータスの停止フラグが ON でかつエラーフラグが OFF のときの停止要因を知ることができます。 $\overline{\text{ORGI}}$ および $\overline{\text{EZ}}$ が ON のときは原点復帰の完了であり、 $+\text{SLD}$ または $-\text{SLD}$ が ON のときはセンサによる減速停止です。

表 9-5: 正常停止要因ステータス

bit	内 容	
	0	1
0	$\overline{\text{ORGI}}$ は OFF	$\overline{\text{ORGI}}$ は ON
1	$\overline{\text{EZ}}$ は OFF	$\overline{\text{EZ}}$ は ON
2	$+\text{SLD}$ は OFF	$+\text{SLD}$ は ON
3	$-\text{SLD}$ は OFF	$-\text{SLD}$ は ON
4	未使用 (常に 0 を設定)	
5	未使用 (常に 0 を設定)	
6	未使用 (常に 0 を設定)	
7	未使用 (常に 0 を設定)	

### 9-2-3 エラー停止要因ステータス

このエラー停止要因ステータスは動作状態ステータスの停止フラグが ON でかつエラーフラグが ON のときの停止要因を知ることができます。

表 9-6: エラー停止要因ステータス

bit	内 容	
	0	1
0	$+\text{EL}$ は OFF	$+\text{EL}$ は ON
1	$-\text{EL}$ は OFF	$-\text{EL}$ は ON
2	ALM は OFF	ALM は ON
3	未使用 (常に 0 を設定)	
4	未使用 (常に 0 を設定)	
5	未使用 (常に 0 を設定)	
6	未使用 (常に 0 を設定)	
7	未使用 (常に 0 を設定)	

## 9-2-4 汎用入力状態ステータス

このステータスは  $\overline{\text{IN0}} \sim \overline{\text{IN7}}$  入力のリアルタイムの状態を知ることができます。

表 9-7: 汎用入力状態ステータス

bit	内 容	
	0	1
0	$\overline{\text{IN0}}$ が OFF	$\overline{\text{IN0}}$ が ON
1	$\overline{\text{IN1}}$ が OFF	$\overline{\text{IN1}}$ が ON
2	$\overline{\text{IN2}}$ が OFF	$\overline{\text{IN2}}$ が ON
3	$\overline{\text{IN3}}$ が OFF	$\overline{\text{IN3}}$ が ON
4	$\overline{\text{IN4}}$ が OFF	$\overline{\text{IN4}}$ が ON
5	$\overline{\text{IN5}}$ が OFF	$\overline{\text{IN5}}$ が ON
6	$\overline{\text{IN6}}$ が OFF	$\overline{\text{IN6}}$ が ON
7	$\overline{\text{IN7}}$ が OFF	$\overline{\text{IN7}}$ が ON

## 9-2-5 コンパレータ状態ステータス

このコンパレータ状態ステータスはコンパレータ制御モード設定レジスタで設定された P 入力と Q 入力の比較結果を知ることができます。

表 9-8: コンパレータ状態ステータス

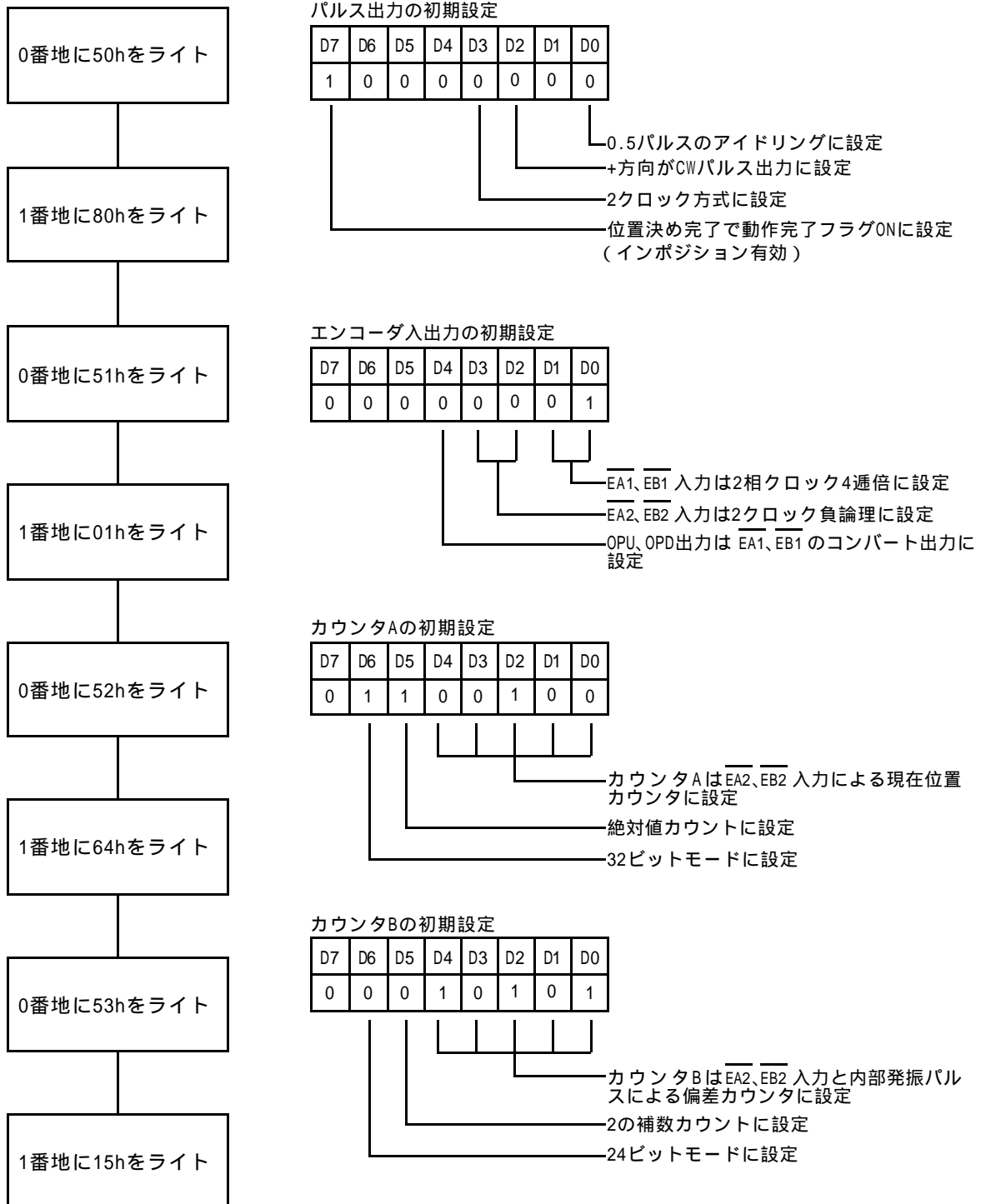
bit	内 容	
	0	1
0	P=Q でない	P=Q である
1	P > Q でない	P > Q である
2	未使用 (常に 0)	
3	未使用 (常に 0)	
4	未使用 (常に 0)	
5	未使用 (常に 0)	
6	未使用 (常に 0)	
7	未使用 (常に 0)	

## 10. アプリケーション例

### 10-1 初期設定

パワーオンリセット後、必ず一度は 8 種類の初期設定レジスタを設定する必要があります。設定の順序は不同です。

図 10-1: 初期設定フローチャート





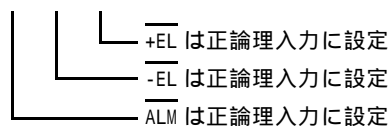
入力の初期設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	0	1	0	1	0



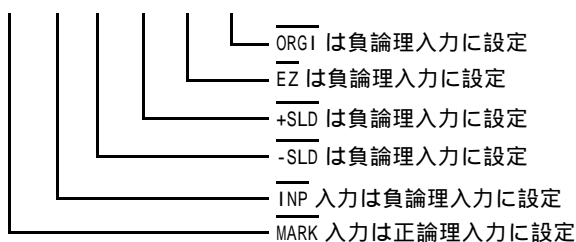
入力論理の初期設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	1	1	1



入力論理の初期設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	0	0	0	0	0



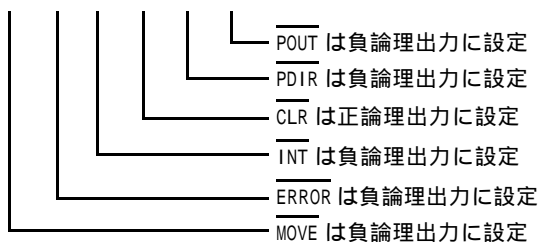
出力の初期設定

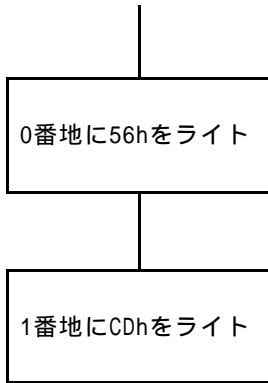
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	1



出力論理の初期設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	1	0	0





### 入力フィルタの初期設定

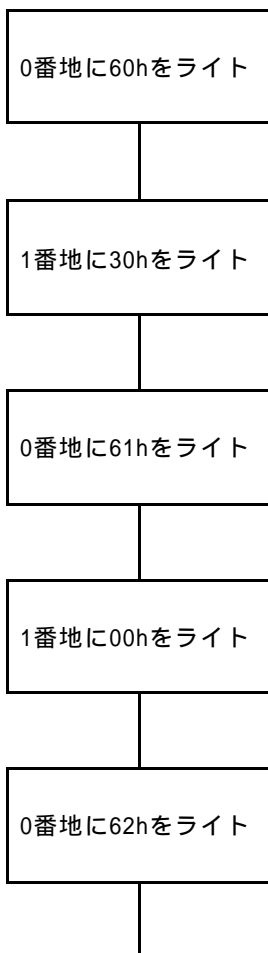
$f$  (基準入力クロック周波数) = 16.384MHz  
 $F = CDh = 205$

$16 \times 205 \div 16,384,000 = 0.0002$  [sec]  
 $\overline{+EL}, \overline{-EL}, \overline{ALM}$  入力の感度を0.2msecに設定

## 10-2 制御モード設定

パワーオンリセット後、駆動の前に必ず1度設定する必要があります。設定の順序は不同ですが、動作モード設定レジスタに関しては、 $R_1$  レジスタと  $R_8$  レジスタの設定の前に変更します。制御モードの変更がない場合は、再設定の必要はありません。

図 10-2: 制御モード設定のフローチャート



### 動作制御モード設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	1	0	0	0	0

- 同期スタート制御を行わないに設定
- 減速開始点自動算出モードに設定
- 補間制御を行わないに設定
- S字加減速モードに設定
- S字加減速形状は正弦に設定

### カウンタAの制御モード設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0

- エラー停止時に自動クリアをしない設定
- 正常停止時に自動クリアをしない設定



カウンタBの制御モード設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0

エラー停止時に自動クリアをしない設定

正常停止時に自動クリアをしない設定

CLR 出力の制御モード設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0

エラー停止時に自動出力をしない設定

正常停止時に自動出力をしない設定

コンパレータ制御モード設定

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	1	0	0	1	1

P入力はコンパレータレジスタに設定

Q入力はカウンタCに設定

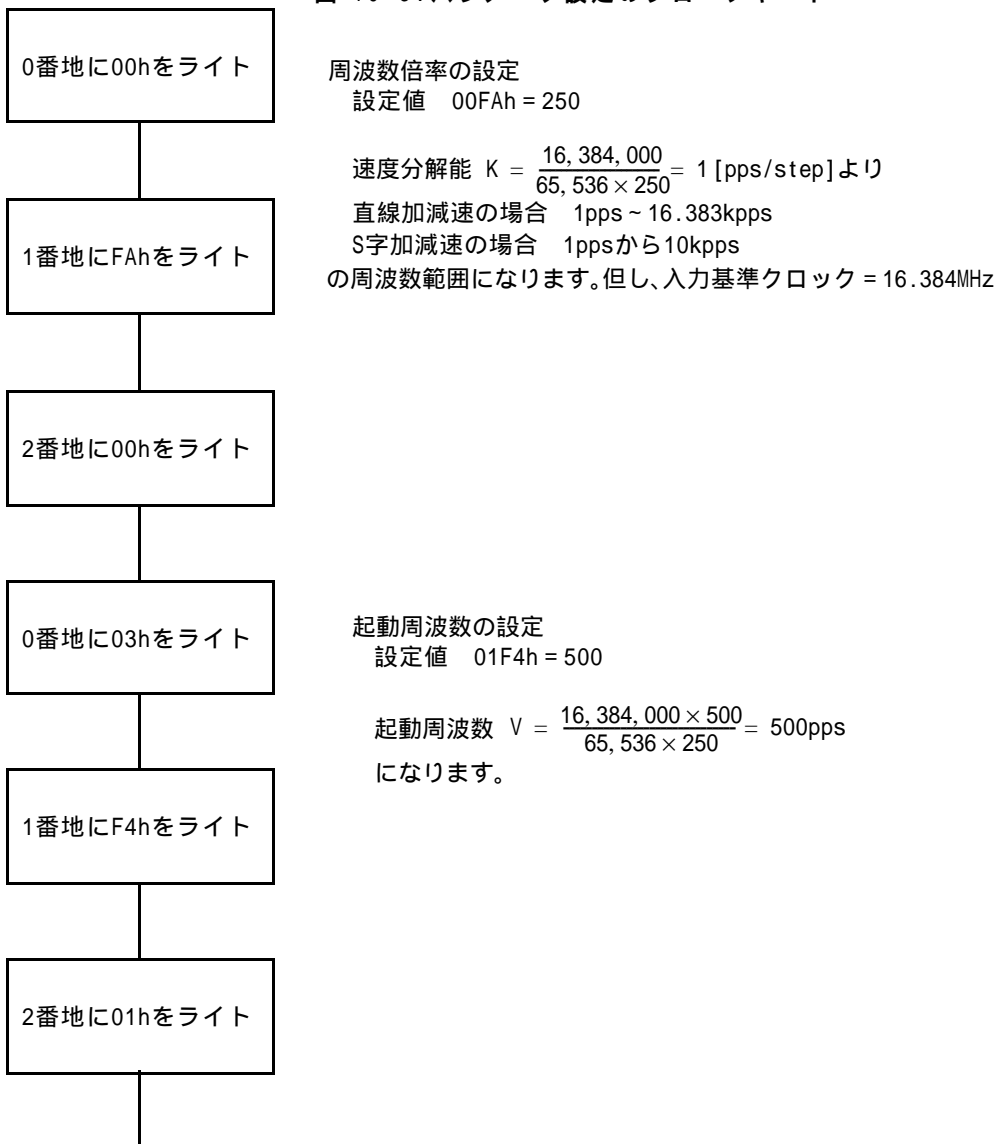
絶対値比較に設定

CMPI 出力はP>Qに設定

### 10-3 パラメータの設定

パラメータ設定レジスタのうち、出力パルス数設定レジスタ (R<sub>1</sub>)、減速開始点設定レジスタ (R<sub>2</sub>)そして直線補間基数設定レジスタ (R<sub>8</sub>)は駆動コマンドのライトの直前に設定します。ここでは周波数倍率設定レジスタ (R<sub>0</sub>)、起動周波数設定レジスタ (R<sub>3</sub>)、最高周波数設定レジスタ (R<sub>4</sub>)、加速レート設定レジスタ (R<sub>5</sub>)、減速レート設定レジスタ (R<sub>6</sub>)そしてS字加減速区間設定レジスタ (R<sub>7</sub>)について説明します。これらのレジスタはパワーオンリセットの後に必ず1度は設定する必要がありますが、その後変更のないパラメータについては再設定の必要はありません。なお、S字加減速を使用しない場合はS字加減速区間設定レジスタ (R<sub>7</sub>)の設定の必要はありません。

図 10-3: パラメータ設定のフローチャート







## 最高周波数の設定

設定値 2134h = 8500

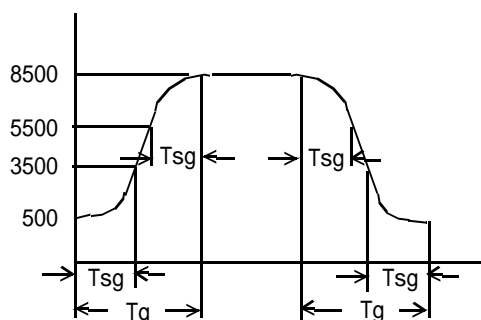
$$\text{最高周波数 } V = \frac{16,384,000 \times 8,500}{65,536 \times 250} = 8500\text{pps}$$

になります。

## S字加減速区間の設定

設定値 0BB8h = 3000

速度は下図の様になります。



## 加速レートの設定

設定値 00A0h = 160

$$\text{加速度 } g = \frac{16,384,000 \times 1 \times 160}{131,072} = 20000\text{pps/sec}$$

になります。

$$\text{加速時間 } T_g = \frac{131,072 \times (8500 - 500)}{16,384,000 \times 160} = 0.4\text{sec}$$

(直線)

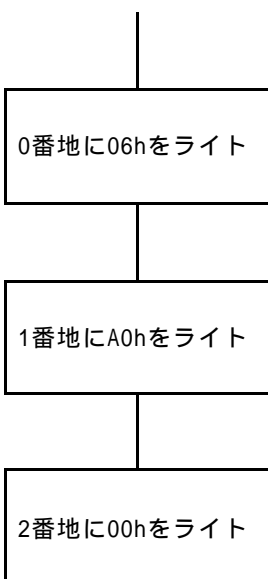
$$\text{加速時間 } T_g = \frac{131,072 \times (8500 - 500 + 2 \times 3000)}{16,384,000 \times 160} = 0.7\text{sec}$$

(S字放物線)

$$\text{加速時間 } T_g = \frac{131,072 \times (8500 - 500 - 2 \times 3000 + \pi \times 3000)}{16,384,000 \times 160} = 0.57\text{sec}$$

(S字正弦)

になります。



## 減速レートの設定

設定値 00A0h = 160

$$\text{減速度 } g = \frac{16,384,000 \times 1 \times 160}{131,072} = 20000\text{pps/sec}$$

になります。

$$\text{減速時間 } Tg = \frac{131,072 \times (8500 - 500)}{16,384,000 \times 160} = 0.4 \text{ sec}$$

(直線)

$$\text{減速時間 } Tg = \frac{131,072 \times (8500 - 500 + 2 \times 3000)}{16,384,000 \times 160} = 0.7 \text{ sec}$$

(S字放物線)

$$\text{加速時間 } Tg = \frac{131,072 \times (8500 - 500 - 2 \times 3000 + \pi \times 3000)}{16,384,000 \times 160} = 0.57 \text{ sec}$$

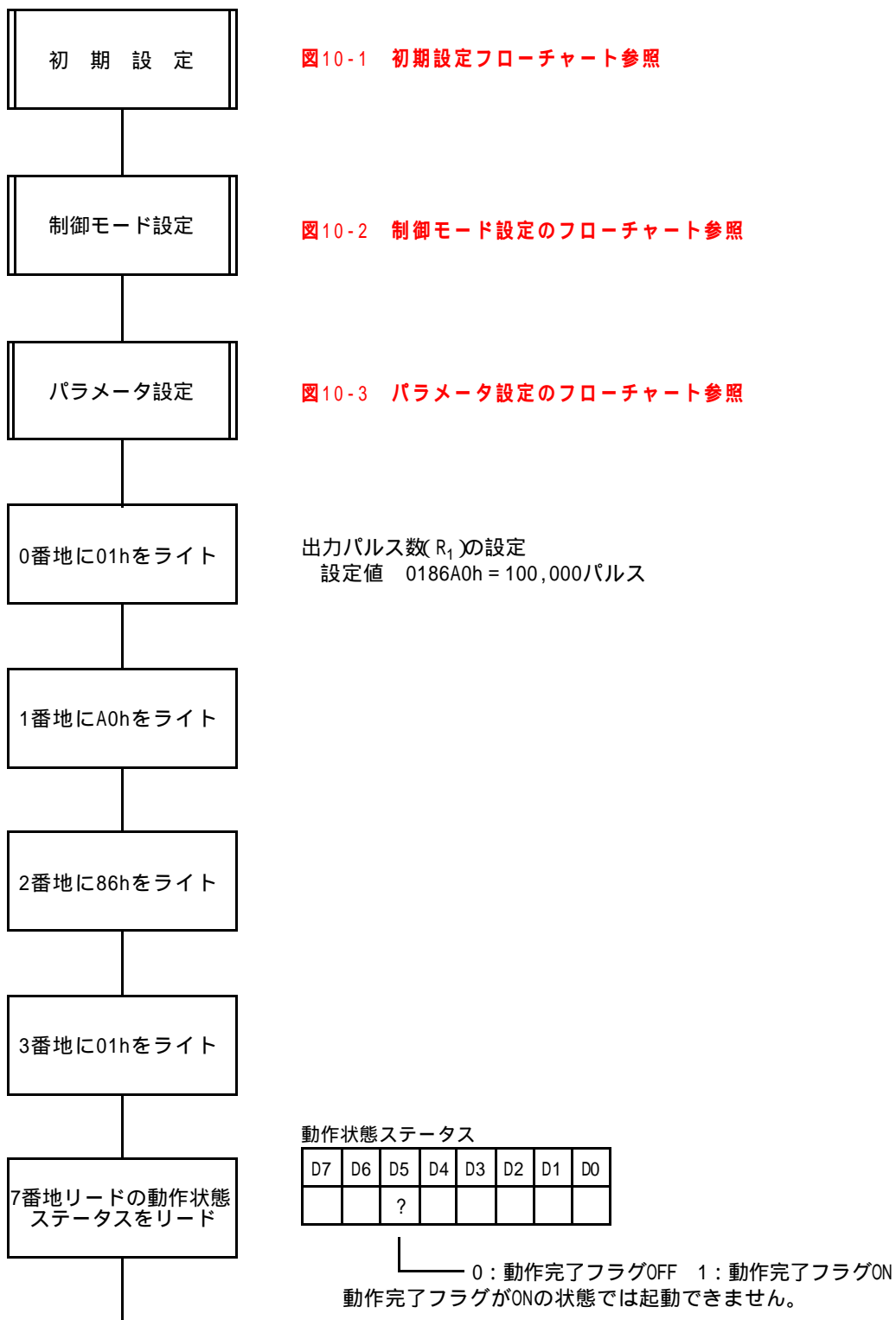
(S字正弦)

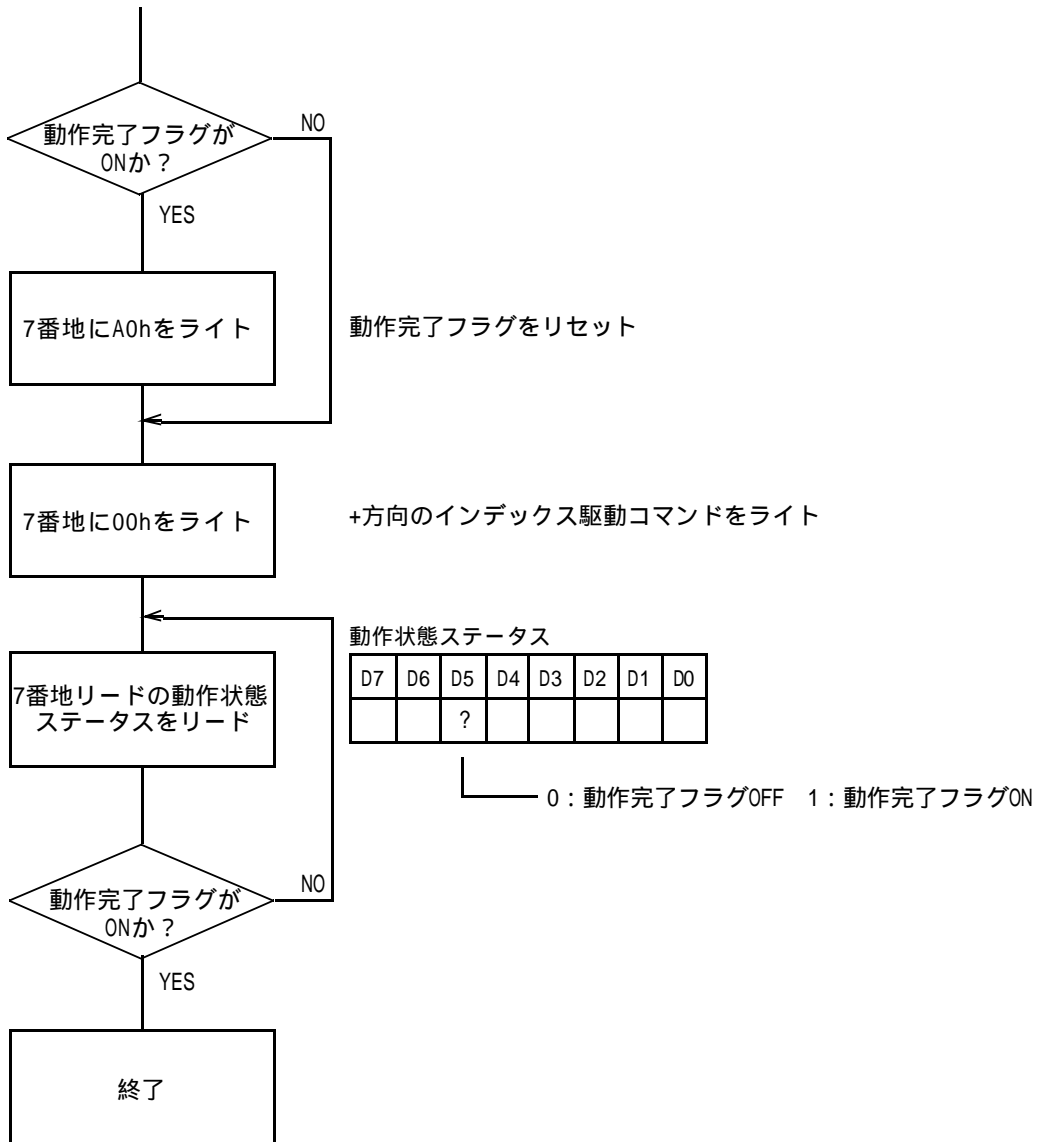
になります。

## 10-4 インデックス駆動

ここでは独立軸のインデックス駆動を例にします。S字加減速、減速開始点自動算出モードで駆動しますので、加速レート( $R_5$ )と減速レート( $R_6$ )は同じ設定値にします。動作の終了はステータスをポーリングすることで確認します。

図 10-4: インデックス駆動のフローチャート





## 10-5 原点復帰動作

原点復帰シーケンスには数多くのパターンがありますが、次のようなシーケンスと条件で説明します。また、**図 10-6** の**原点復帰のフローチャート**には、初期設定、パラメータ設定以降のフローを示します。

図 10-5: 原点復帰シーケンス例

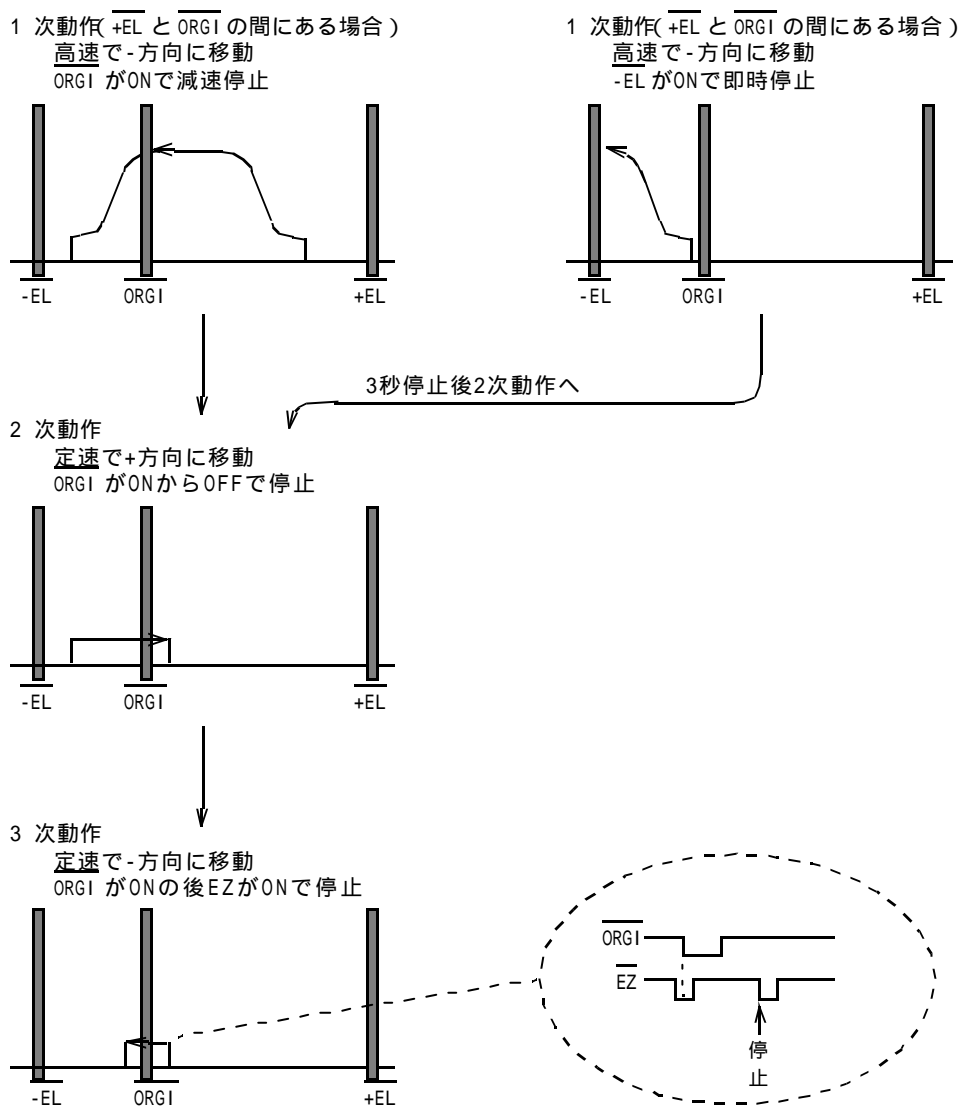
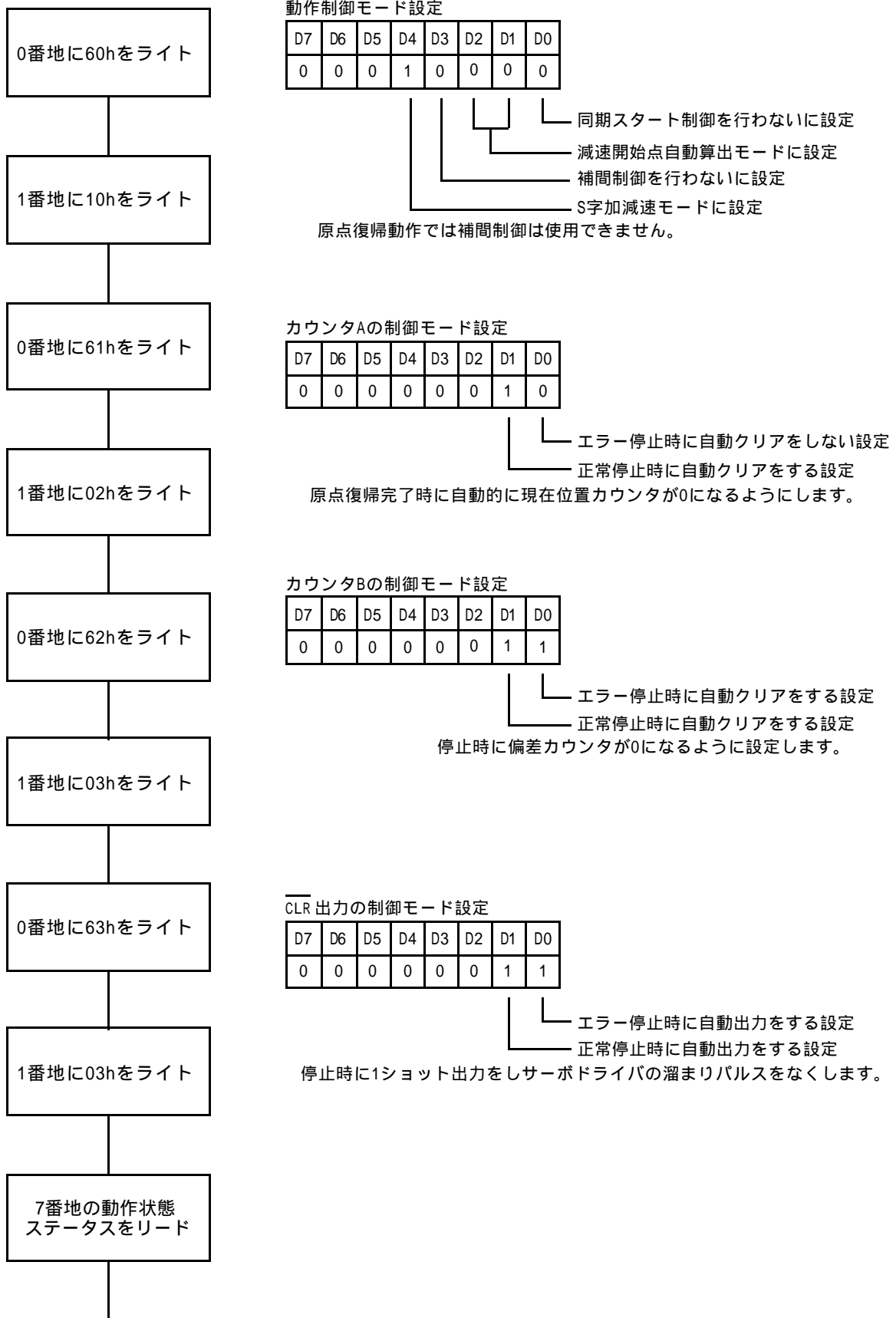
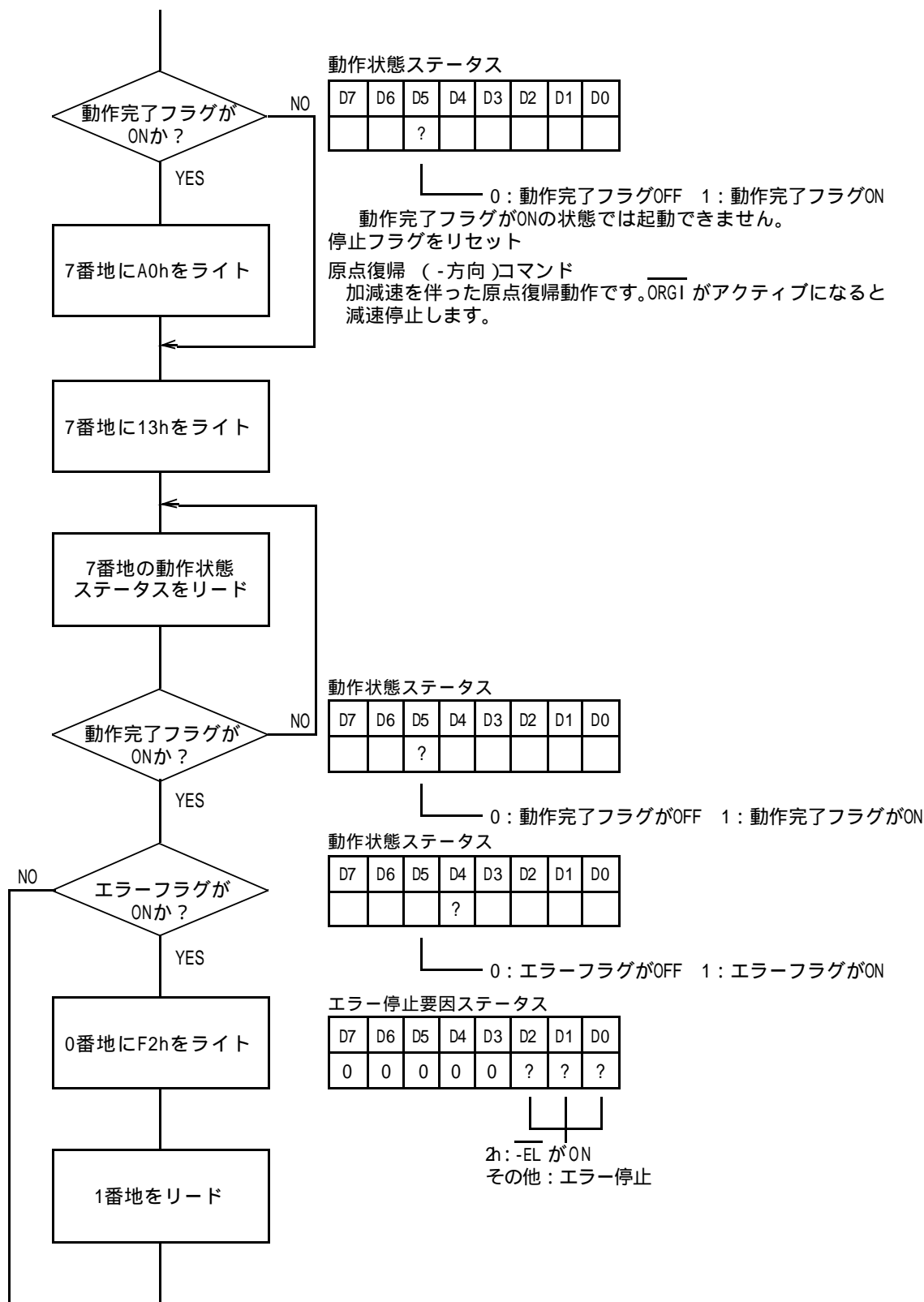
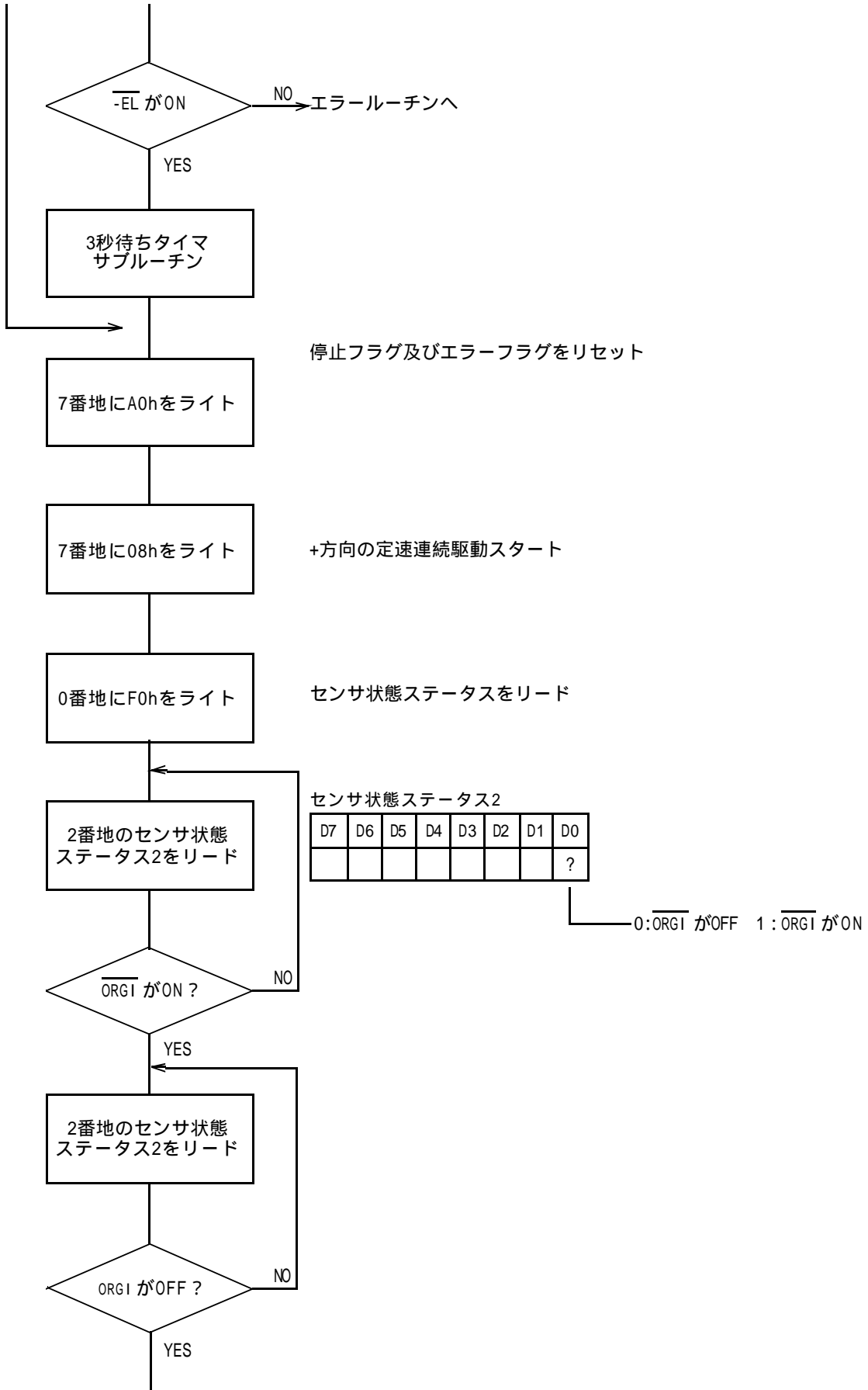


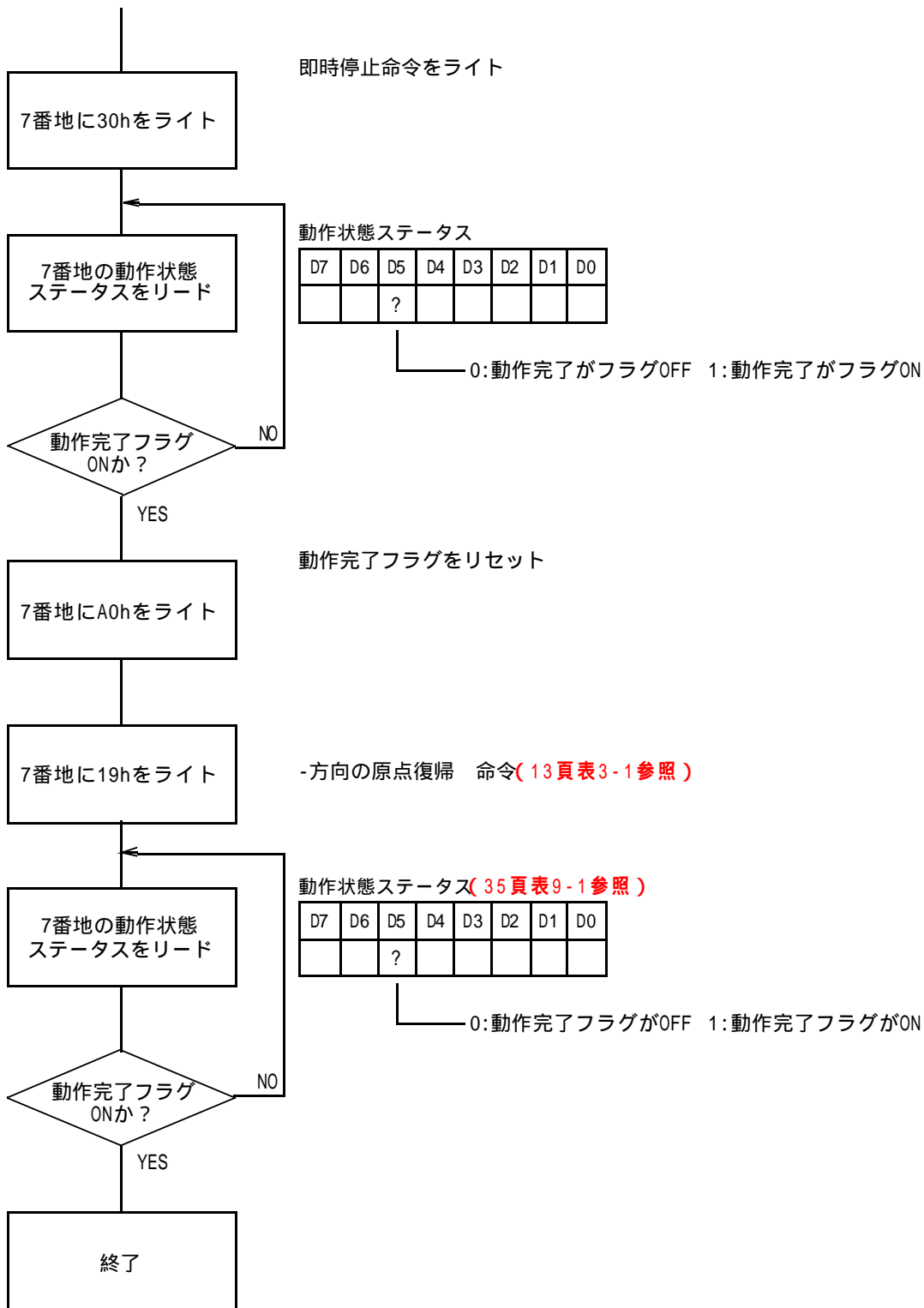
図 10-6: 原点復帰のフローチャート











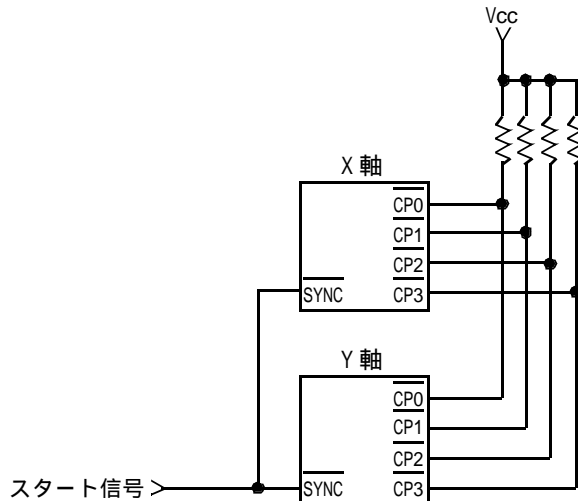
## 10-6 直線補間駆動

本 LSI を複数個用いることで多軸直線補間駆動ができます。ここでは 2 軸 (X 軸、Y 軸) を例に説明します。

### 10-6-1 ハードウェアの注意点

直線補間機能を用いる時は、[図 10-7](#) のように SYNC 端子と CP0 ~ 3 の端子を接続します。

図 10-7: 直線補間の接続図

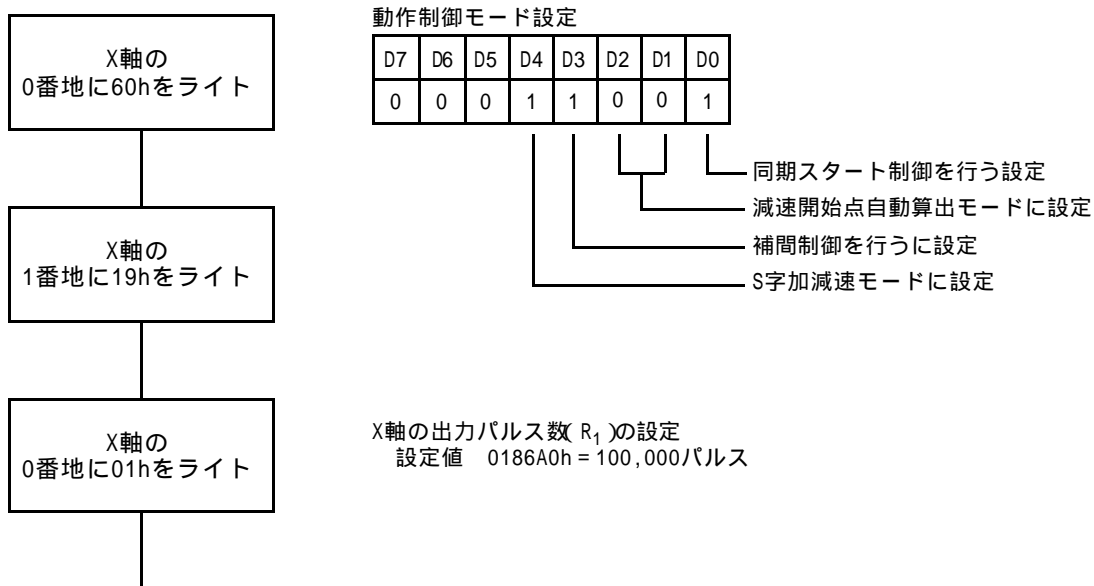


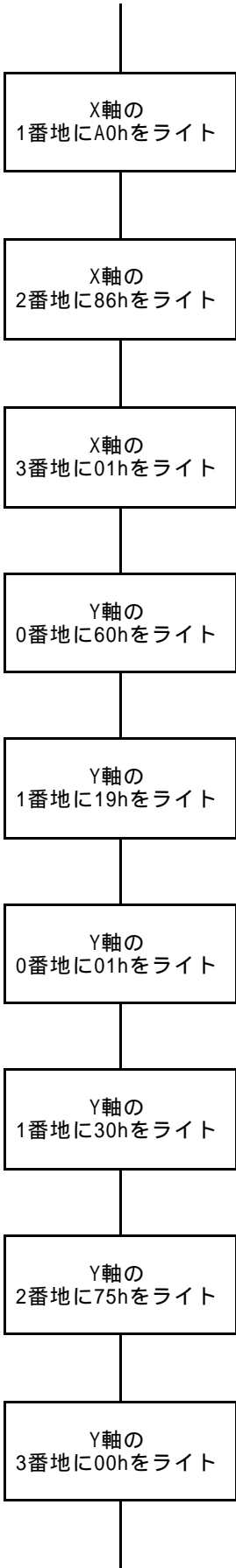
### 10-6-2 直線補間駆動のフロー

多軸直線補間駆動の場合、各軸の周波数倍率 ( $R_0$ )、起動周波数 ( $R_3$ )、最高周波数 ( $R_4$ )、加速レート ( $R_5$ )、減速レート ( $R_6$ )、S字加減速区間 ( $R_7$ ) の各パラメータレジスタは全軸同じ設定にします。出力パルス数 ( $R_1$ ) は各軸の移動量 (パルス数) を設定し、直線補間基数設定レジスタ ( $R_8$ ) は最大移動量 (パルス数) の軸の出力パルス数を全軸に設定します。減速開始点マニュアル設定モードのときの減速開始点 ( $R_2$ ) は最大移動量の軸により算出した値を全軸に設定します。

ここでは、初期設定とパラメータ設定以降のフローチャートを示します。

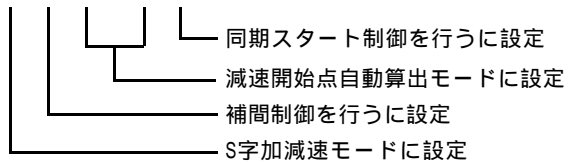
図 10-8: 直線補間駆動のフローチャート





動作制御モード設定

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	1	1	0	0	1



出力パルス数(R1)の設定

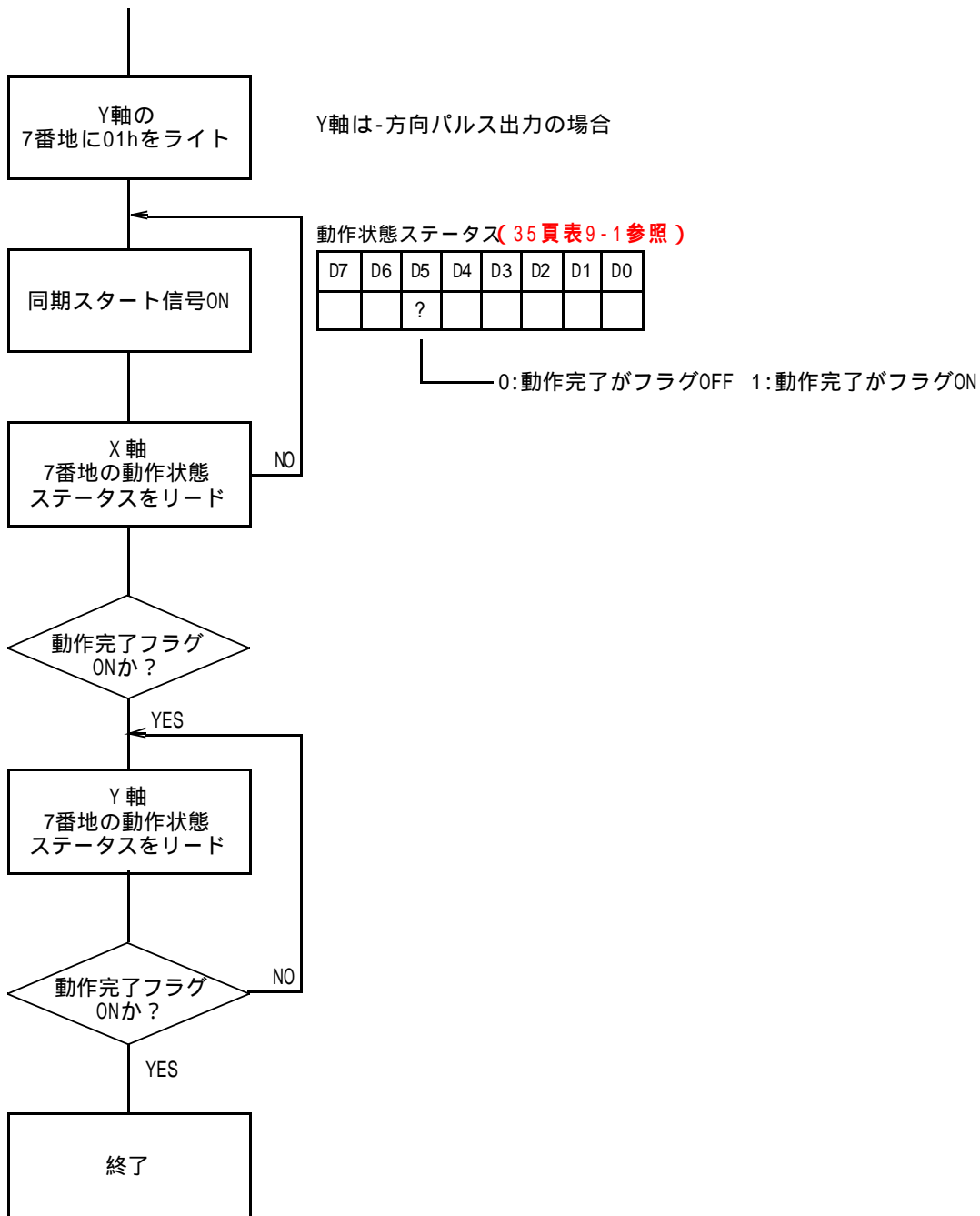
設定値 007530h = 30,000パルス



X軸の直線補間基数( $R_8$ )の設定  
 X軸出力パルス数 > Y軸出力パルス数  
 設定値 0186A0h = 100,000

Y軸の直線補間基数( $R_8$ )の設定  
 X軸出力パルス数 > Y軸出力パルス数  
 設定値 0186A0h = 100,000

X軸は+方向パルス出力の場合



## 11. 電気的特性

### 11-1 絶対最大定格 (V<sub>SS</sub>=0V)

項目	記号	定 格	単 位
電 源 電 圧	V <sub>DD</sub>	-0.3 ~ +7.0	V
入 力 電 圧	V <sub>IN</sub>	-0.3 ~ V <sub>DD</sub> +0.3	V
入 力 電 流	I <sub>IN</sub>	± 10	mA
保 存 温 度	T <sub>stg</sub>	-40 ~ +125	

### 11-2 推奨動作条件 (V<sub>SS</sub>=0V)

項目	記号	定 格	単 位
電 源 電 圧	V <sub>DD</sub>	4.75 ~ 5.25	V
周 囲 温 度	T <sub>a</sub>	0 ~ +70	

### 11-3 DC特性 (V<sub>DD</sub>=5V ± 5%、T<sub>a</sub>=0 ~ +70 )

項 目	記号	条 件	MIN.	TYP.	MAX.	単位
高レベル入力電圧	V <sub>IH</sub>		4.0			V
低レベル入力電圧	V <sub>IL</sub>				1.0	V
高レベル入力電流	I <sub>IH</sub>	V <sub>IN</sub> =V <sub>DD</sub>	-10		10	μ A
低レベル入力電流 *1	I <sub>IL</sub>		-10		10	μ A
低レベル入力電圧 *2		V <sub>IH</sub> =V <sub>SS</sub>	-200		-10	
高レベル出力電圧 *3	V <sub>OH</sub>	I <sub>OH</sub> =-4mA	2.4			V
高レベル出力電圧 *4		I <sub>OH</sub> =-8mA				
高レベル出力電圧 *5		I <sub>OH</sub> =-16mA				
高レベル出力電圧 *3*4*5		I <sub>OH</sub> =-1 μ A	V <sub>DD</sub> -0.05			
低レベル出力電圧 *3	V <sub>OL</sub>	I <sub>OL</sub> =4mA			0.4	V
低レベル出力電圧 *6		I <sub>OL</sub> =8mA				
低レベル出力電圧 *5		I <sub>OL</sub> =16mA				
低レベル出力電圧 *3*5*6		I <sub>OL</sub> =1 μ A			V <sub>SS</sub> +0.05	
出力リーク電流	I <sub>OZ</sub>	V <sub>OUT</sub> =V <sub>DD</sub> or V <sub>SS</sub>	-10		10	μ A
ヒステリシス電圧 *2	V <sub>H</sub>			1.5		V
静的消費電流	I <sub>DDS</sub>	V <sub>IN</sub> =V <sub>DD</sub> or V <sub>SS</sub>			100	μ A

\*1 D0 ~ 7, CLK, A0 ~ 2, CS, WR, RD, RST

\*2 INP, ALM, +EL, -EL, +SLD, -SLD, ORGI, EZ, IN0 ~ 7, CLRA, CLRB, EA1, EB1, EA2, EB2, SYNC,  
MARK

\*3 OCLK, OPU, OPD

\*4 D0 ~ 7

\*5 SON, CLR, ERROR, MOVE, POUT, PDIR, OUT0 ~ 7, CMP1

\*6 D0 ~ 7, INT, CP0 ~ 3

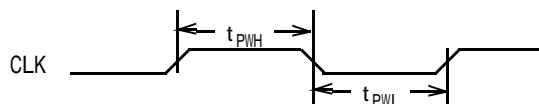
## 11-4 スイッチング特性

## 11-4-1 CPUインターフェース

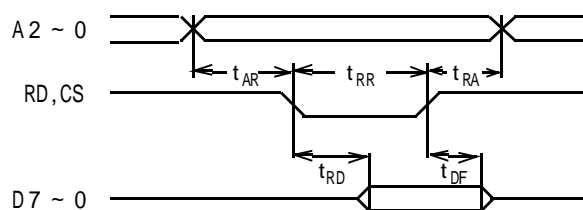
項目	略号	条件	MIN	TYP	MAX	単位
クロック周波数	$f_{CLK}$				16,384	MHz
クロック周期	$t_{CLK}$		61			ns
クロック Low 時間	$t_{PWL}$		27			ns
クロック High 時間	$t_{PWH}$		27			ns
リードアドレス安定時間	$t_{AR}$		3			ns
リードアドレス保持時間	$t_{RA}$		5			ns
リードパルス幅	$t_{RR}$		30			ns
データ遅延時間	$t_{RD}$	CL=100pF			20	ns
データフロート遅延時間	$t_{DF}$	CL=100pF			20	ns
ライトアドレス安定時間	$t_{AW}$		10			ns
ライトアドレス保持時間	$t_{WA}$		0			ns
ライトパルス幅	$t_{WW}$		15			ns
データ設定時間	$t_{DW}$		10			ns
データ保持時間	$t_{WD}$		0			ns
リセットパルス幅	$t_{RST}$		$3t_{CLK}$			ns
リセット動作時間	$t_{RSTM}$				$3t_{CLK}$	ns

$t_{CLK}$  : 基準クロック周期 (最小 61nsec)

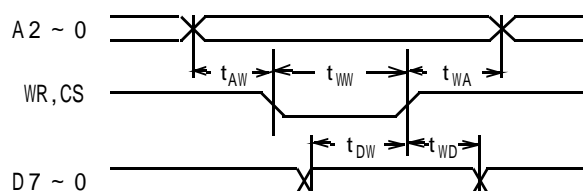
## クロック



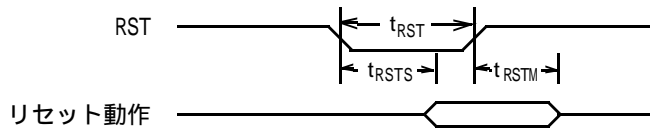
## リードサイクル



## ライトサイクル



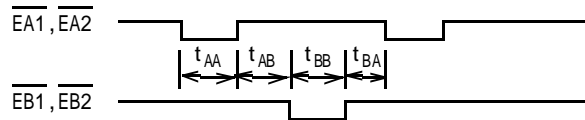
## リセットサイクル



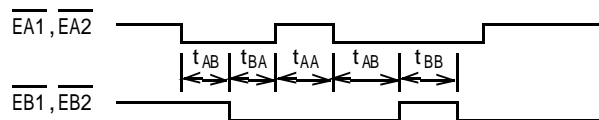
## 11-4-2 エンコーダインターフェース

項目	記号	MIN	TYP	MAX	単位
A相のエッジの次にB相のエッジが発生した場合のエッジ間隔	$t_{AB}$	$2.5t_{CLK}$			ns
B相のエッジの次にA相のエッジが発生した場合のエッジ間隔	$t_{BA}$	$2.5t_{CLK}$			ns
A相のエッジの次にA相のエッジが発生した場合のエッジ間隔	$t_{AA}$	$2.5t_{CLK}$			ns
B相のエッジの次にB相のエッジが発生した場合のエッジ間隔	$t_{BB}$	$2.5t_{CLK}$			ns

## 2クロック入力

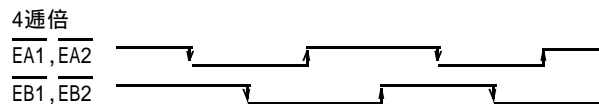
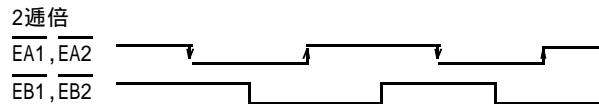
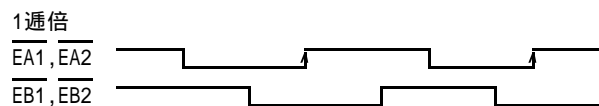
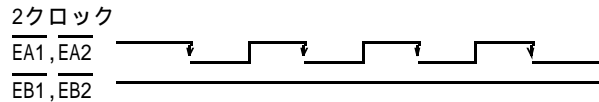


## 2相クロック入力



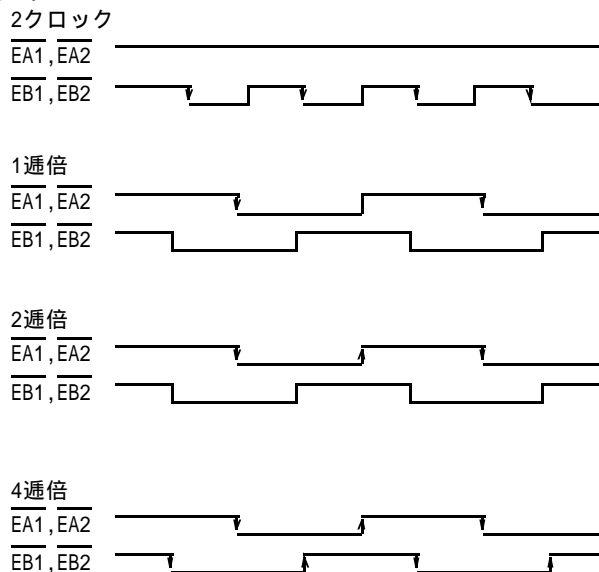
## エンコーダ入力カウントタイミング(正カウント設定の場合)

## アップカウント

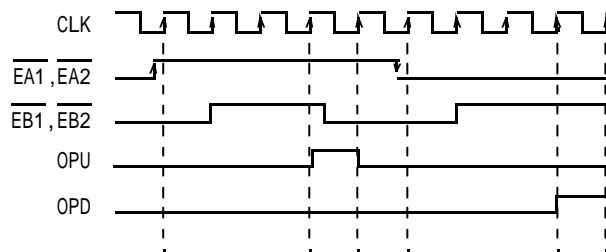




ダウンカウント



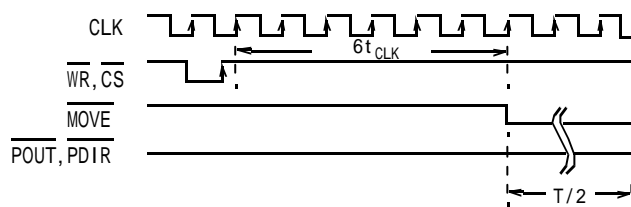
エンコーダコンバータ出力タイミング



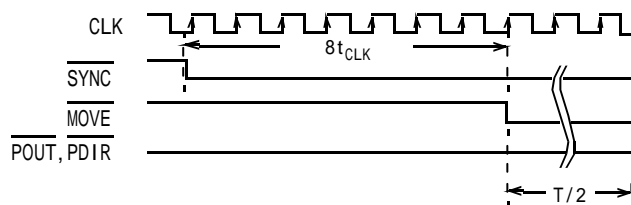
11-4-3 入出力インターフェース

パルス出力開始

非同期スタートモード



同期スタートモード



T : 起動周波数の 1 周期

最新情報は、ホームページでご案内しております

<http://www.kyopal.co.jp/>

製品に関する技術的なお問い合わせは…

[support@kyopal.co.jp](mailto:support@kyopal.co.jp)

取扱店

制御ボード&オリジナルLSIで、FA要素技術を提案する

株式会社 **キョーパル**

京都市下京区西七条東石ヶ坪町24 〒600-8895

TEL(075)326-2580(代) / FAX(075)326-2581

●製品改良のため、予告なく仕様を変更する事がありますので、ご了承ください。

平成13年4月 改訂第2版 (ver. 1.1)